

21/03/05

Electronique générale

I | Les composants électroniques de base

- A) Rappels: notions de Physique du Solide
- B) Fonctions P.N., diodes à "Jonction".
- C) Le transistor à Jonction
- D) Le transistor à effet de champ à Grille isolée (MOSFET)

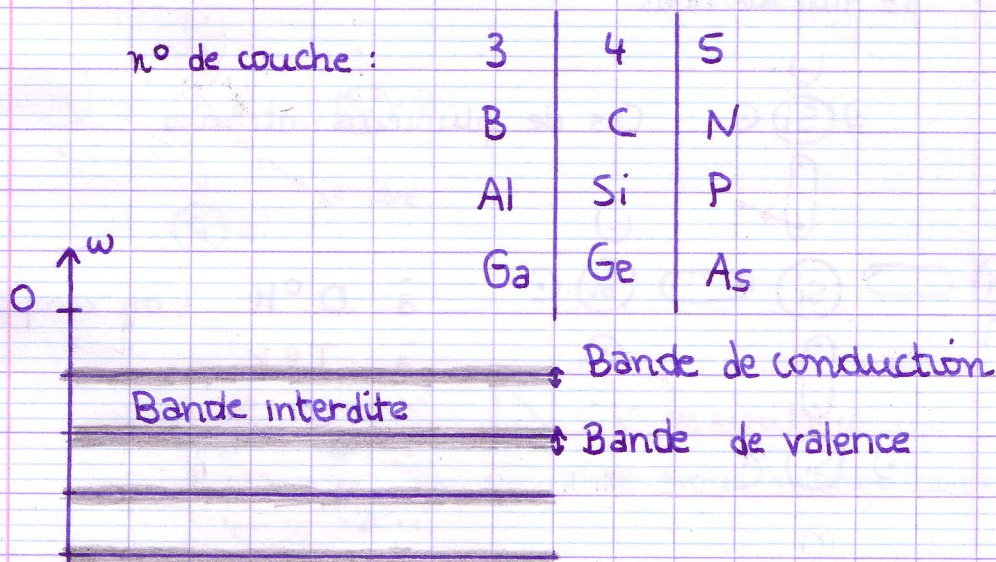
II | Les circuits intégrés logiques

- A) La technologie des circuits intégrés
- B) Les circuits Intégrés Logiques

Chap 1: Rappels de Physique du solide

1. Liaisons covalentes

2. Bandes d'énergie



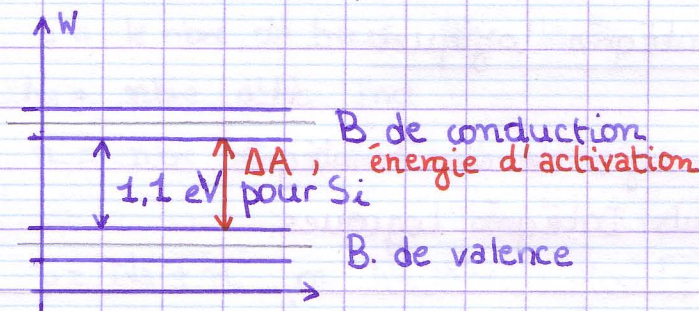
la bande de conduction est la bande juste après la bande de valence
la bande de valence est la bande la dernière occupée par les électrons

- Si ces deux bandes sont séparées l'atome est isolant, si elles se chevauchent il est conducteur.

Semi-conducteurs

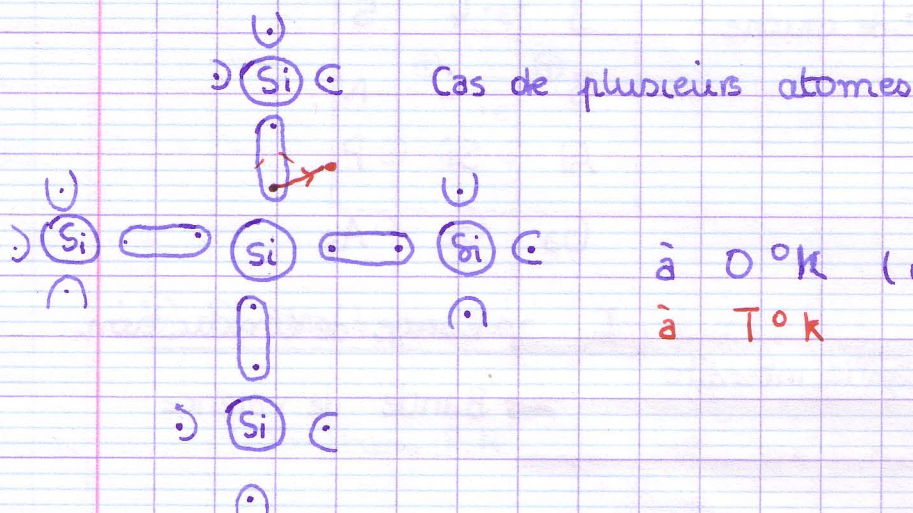
1) Semi conducteurs intrinsèque (purs)

⇒ isolant à 0 K



Si on chauffe le Si, à température ambiante, certains électrons sont dans la B de conduction. Ces électrons ont laissé des "trous" dans la bande de valence.

$$\left. \begin{array}{l} n = \text{nbre d'électrons} \\ p = \text{nbre de trous} \end{array} \right\} n = p$$



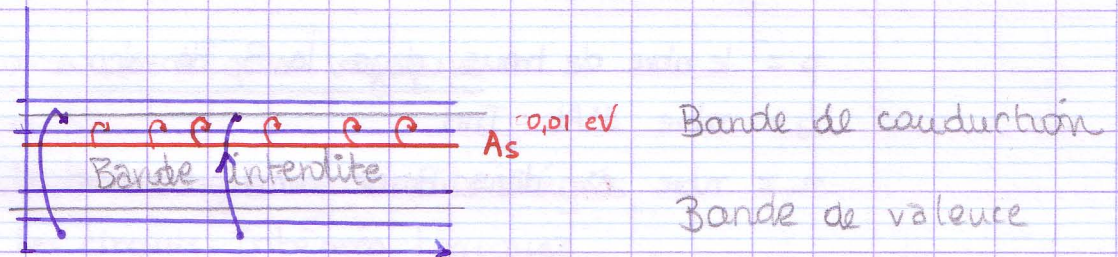
2) Semi-conducteurs extrinsèques (nbre impuretés ou dopé)

⇒ corps des colonnes 3 & 5.

Par exemple, on va ajouter 1 atome d'impureté pour 10^8 atomes de Si.

1) Semi-conducteurs type N

impureté ajoutée colonne 5. 5e⁻ sur couche de valence.

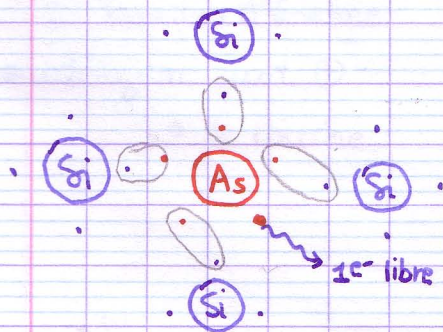


n : nombre d'e⁻ dans Bande conduction.

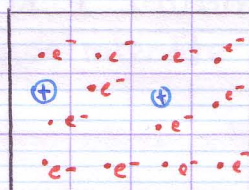
p : nbre de trous dans B valence

N_d : nbre d'At d'As.

$$n = N_d + p \text{ avec } N_d \gg p \rightarrow n \sim N_d$$



à 0°K



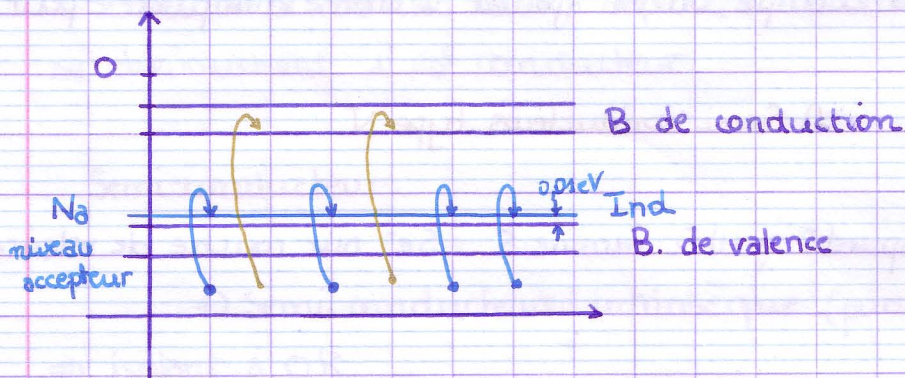
N

e⁻ majoritaires

⊕ trous minoritaires.

2) Semi conducteurs de type P

impuretés → corps colonne 3

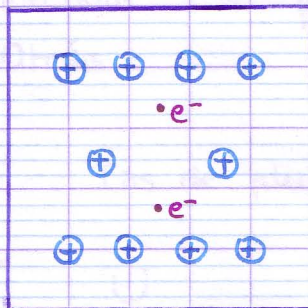
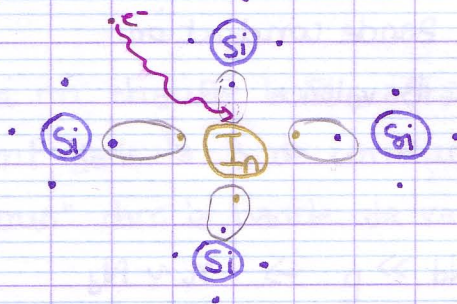


p = le nbre de trous dans la B de valence

N_a = nbre d'At Ind

n = nbre e^- dans B de conduction

$$p = N_a + n \text{ or } N_a \gg n \text{ d'où } \boxed{p \sim N_a}$$



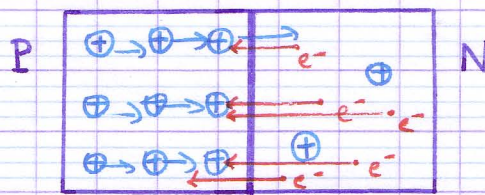
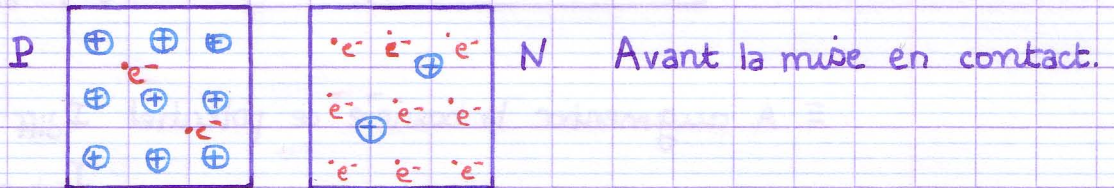
⊕ trous majoritaires trou ⊕

B) Diodes à jonction - Jonction P-N

1) Jonction P-N

21/03/05

1) Jonction à l'équilibre (isolée)



Mise en contact
diffusion de majoritaire

Zone de charge
d'espace

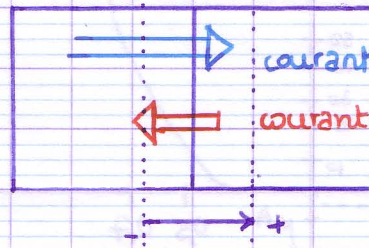
$\vec{E} = -\text{grad } V$

champ $\vec{E}$ s'oppose ensuite à la diffusion.

champ $\vec{E}$ favorise le passage des minoritaires

$\oplus$ de N vers P

e^- de P vers N



courant de diffusion (dû aux maj. $\oplus$ de P, e^- de N)

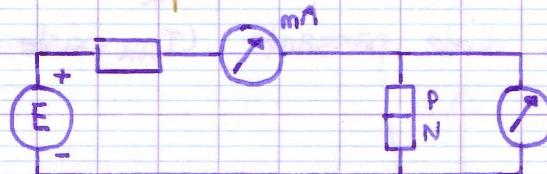
courant de saturation (favorisé par $\vec{E}$)

(courant de minoraire)

à l'équilibre égalité de 2 courants
(jonction P-N solide)

2) Jonctions comportant un générateur de tension

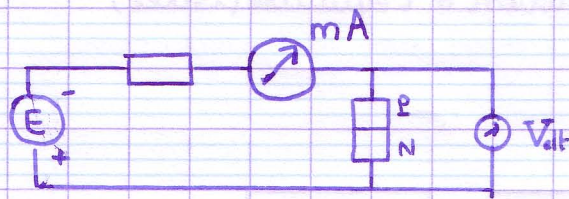
1) Sens passant



$V_{PN} > 0$

$E \cdot I$ dans mA $\nearrow$

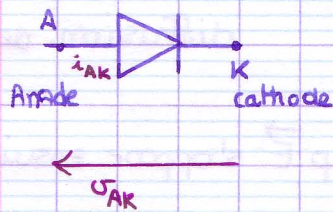
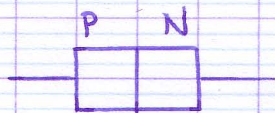
$V_{elt} \sim$ autour de V_{elt}



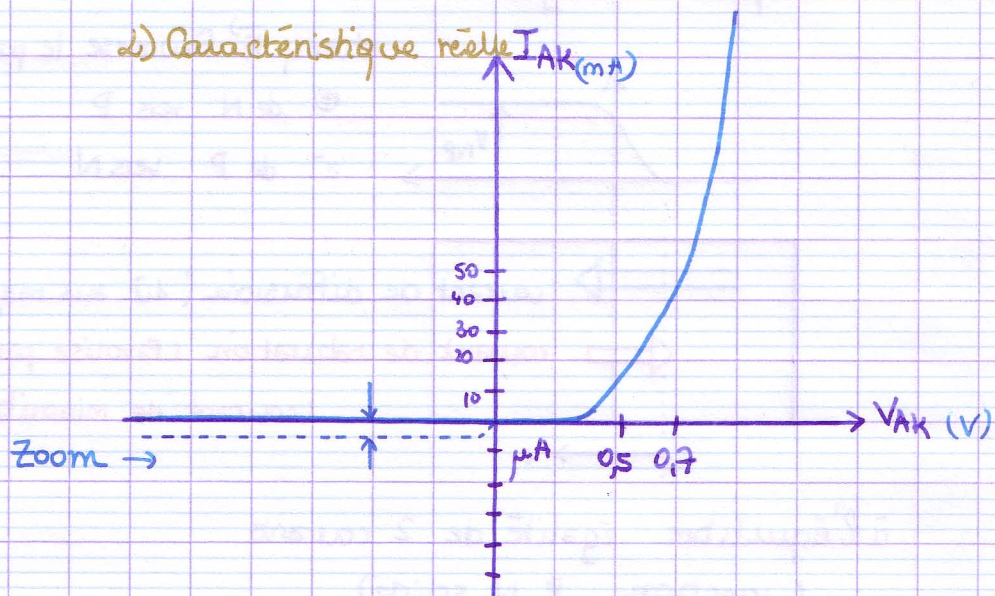
I dans mA est très petit

$$V_{PN} > 0 \\ V \nearrow \text{ si } |E| \nearrow$$

≡ A augmenter la barrière de potentiel $I_{diff} \sim -$
 $I_{saturation} \sim \equiv$



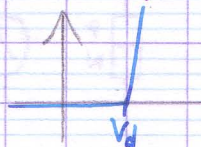
2) Caractéristique réelle $I_{AK}(mA)$



3) Caractéristique linéarisée

$V_{AK} \leq V_d \rightarrow$ diode bloquée ($I_{AK} \approx 0$)

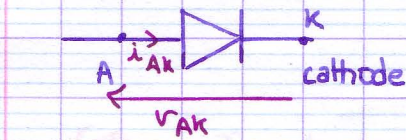
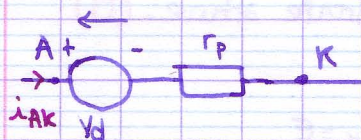
$V_{AK} \geq V_d \rightarrow$ diode passante (I_{AK} existe et dépend du circuit extérieur.)



21/03/05

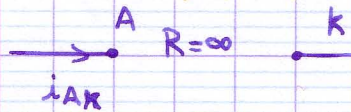
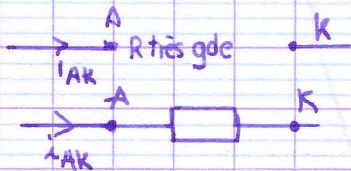
3) Dipôles équivalents à la diode

1) Diode conductrice

 $V_{AK} \geq V_d$ passante.

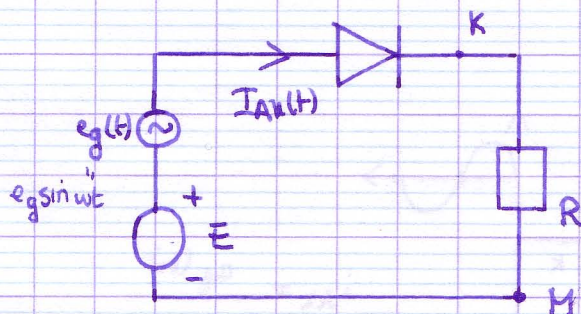
$$V_{AK} = V_d + r_p i_{AK}$$

2) Diode bloquée

 $V_{AK} \leq V_d$ bloquée

4) Utilisation des diodes (en régime linéaire)

1) Point de fonctionnement statique - résistance dynamique



- 2 générateurs $\rightarrow$ Théorème de superposition
 $\rightarrow$ 2 états

1°) Point de fonctionnement statique.

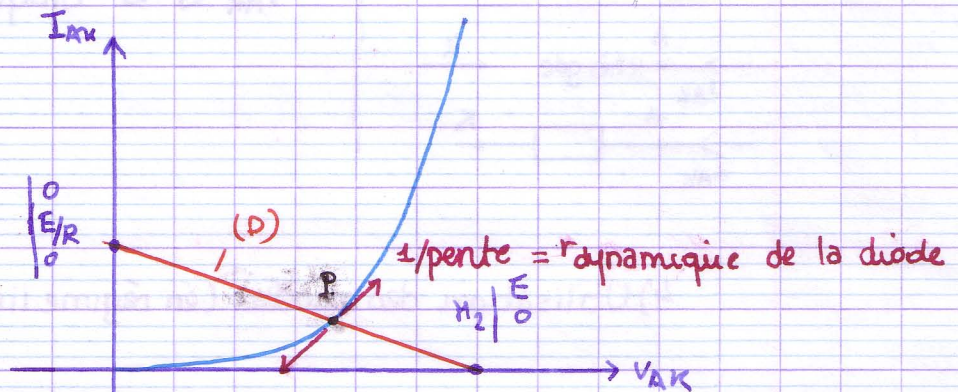
$$E, e_g(t) = 0 \quad \forall t.$$

$$V_{AM} = E = \underset{\substack{\downarrow \\ \text{connu}}}{V_{AK}} + \underset{\substack{\downarrow \\ \text{connu}}}{R \cdot i_{AK}}$$

d'où $V_{AK} = E - R i_{AK} \rightarrow$ droite affine. (D)

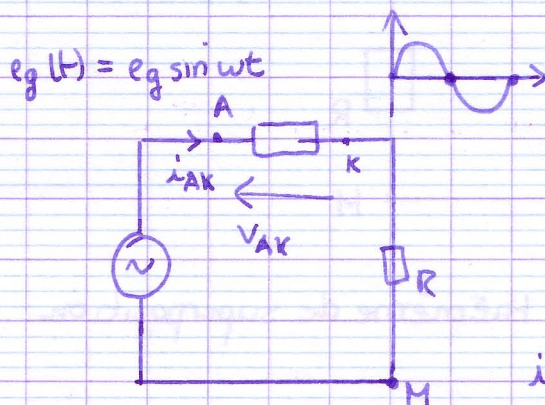
$$M_1 \left| \begin{array}{l} V_{AK} = 0, \\ I_{AK} = E/R \end{array} \right.$$

$$M_2 \left| \begin{array}{l} V_{AK} = E \\ I_{AK} = 0 \end{array} \right.$$



$P \in D$ et à $I_{AK} = f(V_{AK})$ de la diode $\Rightarrow P$ pt de fonctionnement statique

2°) Etat



$$i_{AK} = \frac{e_g(t)}{r_{dyn} + R}$$

$$i_{AK} = \frac{e_g \sin wt}{R + r_{dyn}}$$

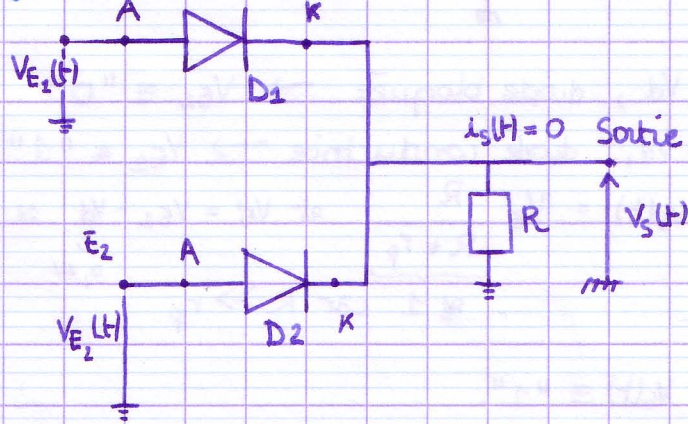
$$I_{AK}(t) = I_{AKp} + \frac{e_g \sin wt}{R + r_{dyn}}$$

8/04/05

5°) Utilisation des diodes en Electronique Numérique

1) Circuit ou

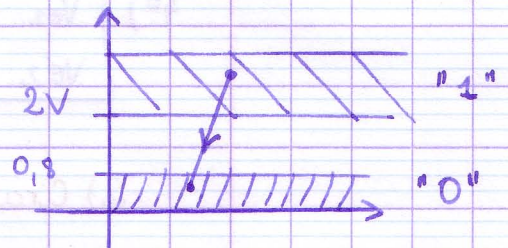
- généralités



- $R \gg r_{dyn}$
- $r_S(t) = 0$ (signal de sortie prélevé à haute impédance)

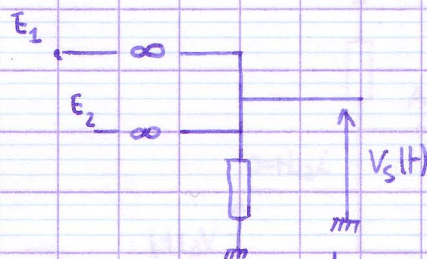
$V_{E1/2} \equiv 0 \text{ Volts} \rightarrow "0"$
 $V_{E1/2} \equiv 5 \text{ Volts} \rightarrow "1"$

$V_S(t) = "0" \text{ si } V_S(t) \leq 0,8 \text{ V}$
 $V_S(t) = "1" \text{ si } V_S(t) \geq 2 \text{ V}$



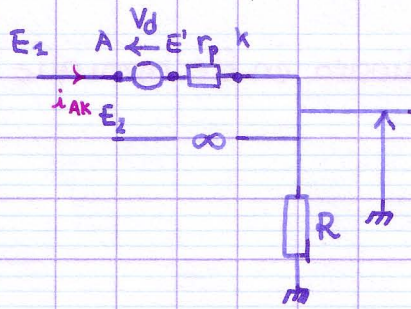
- fonctionnement

- 1) On suppose $D1$ et $D2$ bloquées.



$\Rightarrow V_S(t) = 0 \text{ Volts} \rightarrow "0"$

- 2) On suppose $D1$ conductrice
 $D2$ bloquée



$$V_{E1} = V_d + i_{AK} \cdot r_p + R \cdot i_{AK}$$

pour $i_{AK} = 0 \rightarrow V_{E1} = V_d$ la diode commence à conduire.

$\Rightarrow V_{E1} \leq V_d$, diode bloquée $\rightarrow V_{E1} \equiv "0"$

$\Rightarrow V_{E1} \geq V_d$, diode conductrice $\rightarrow V_{E1} \equiv "1"$ (5 V)

$$\text{alors } v_s(t) = V_E' \frac{R}{R + r_p} \quad \text{et } V_E' = V_{E1} - V_d \approx 4,4 \text{ V}$$

$\downarrow$
0,6 V

≈ 1 car $R \gg r_p$

$$\Rightarrow v_s(t) \equiv "1"$$

$$3^\circ) \left. \begin{array}{l} V_{E1} = "0" \\ V_{E2} = "1" \end{array} \right\} \Rightarrow v_s(t) \equiv "1"$$

$$4^\circ) \left. \begin{array}{l} V_{E1} = "1" \\ V_{E2} = "1" \end{array} \right\} \Rightarrow v_s(t) = "1"$$

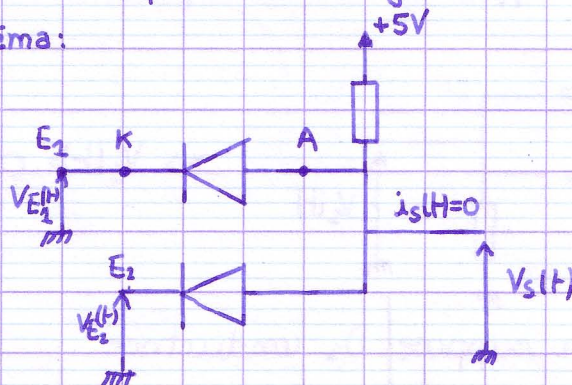
th. de superposition

2) Circuit ET

- Généralités:

* Conventions précédentes toujours valables

* Schéma:

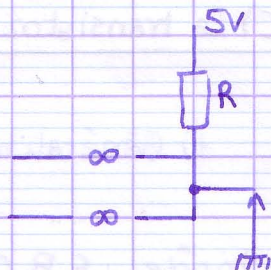


8/04/05

- Fonctionnement

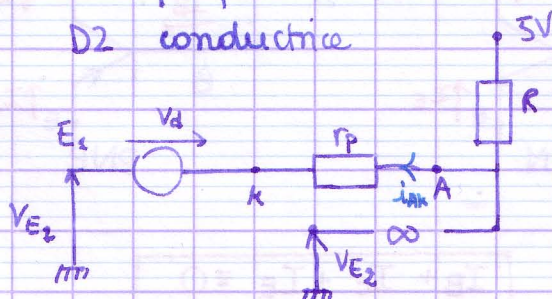
1) D1 et D2 bloquées

$$V_S(t) = 5V \quad V_{E1} = "1" = V_{E2}$$



2) D1 bloquée

D2 conductrice



$$V_{E1} = V_d + r_p \cdot i_{AK} + R \cdot i_{AK} = 5V$$

pour $i_{AK} = 0$ pt limite de conduction

$$\rightarrow V_{E1} + V_d = 5V \Leftrightarrow V_{E1} = 5 - V_d \approx 4,4V$$

pour $V_{E1} = +5V$ ("1") $\rightarrow$ D1 bloquéepour $V_{E1} = 0V$ ("0") $\rightarrow$ D2 conductrice.

$$V_S(t) = V_d + r_p \cdot i_{AK} =$$

$$= 5V - R \cdot i_{AK}$$

$$\Leftrightarrow (R - r_p) i_{AK} = 5 - V_d = 4,4V$$

$$\Leftrightarrow i_{AK} = \frac{4,4V}{R + r_p} \approx \frac{4,4}{R}$$

$$\Rightarrow V_S(t) \approx V_d \Rightarrow V_S = "0"$$

3) $V_{E1} = "0"$

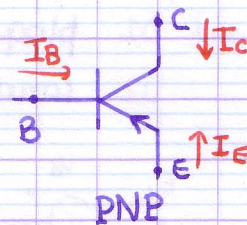
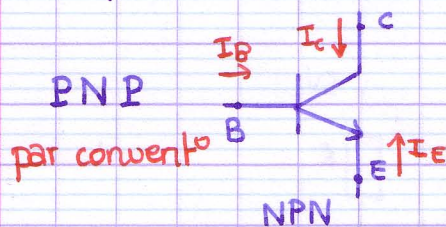
$$V_{E2} = "1" \Rightarrow V_S = "0"$$

4) $V_{E1} = "0" = V_{E2} \Rightarrow V_S = "0"$

C) Le transistor (Bipolaire) à Jonction

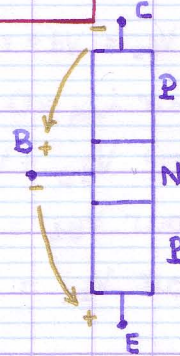
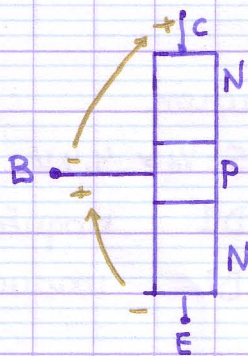
1) Généralités

- tri-pôle : E, B, C.



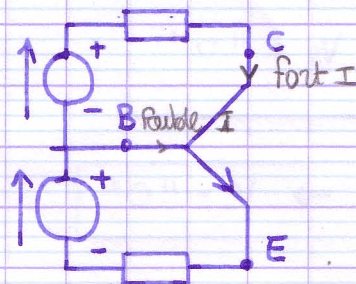
flèche = sens réel du courant

$$I_B + I_C + I_E \equiv 0$$



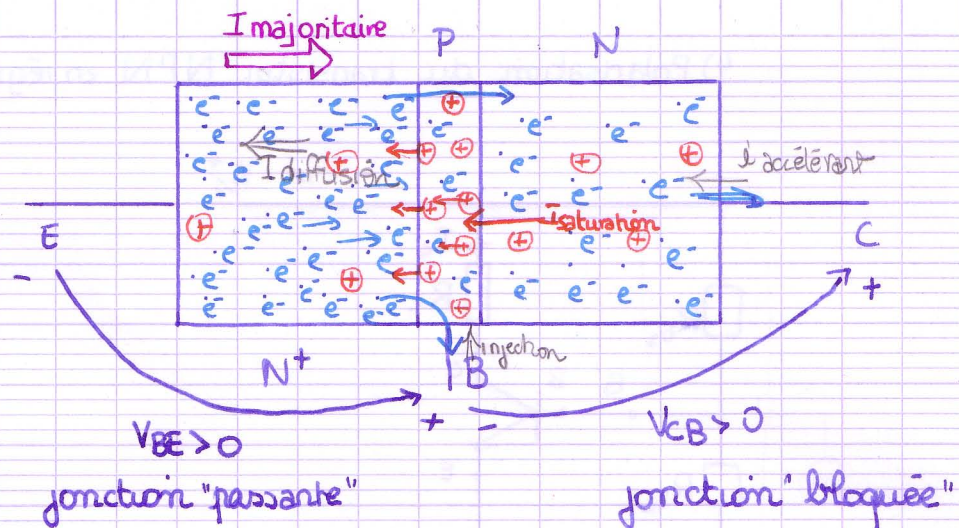
2) L'effet transistor (pour le NPN)

- jonction B.E polarisée en "passante"
- jonction C.B polarisée en "bloquée"

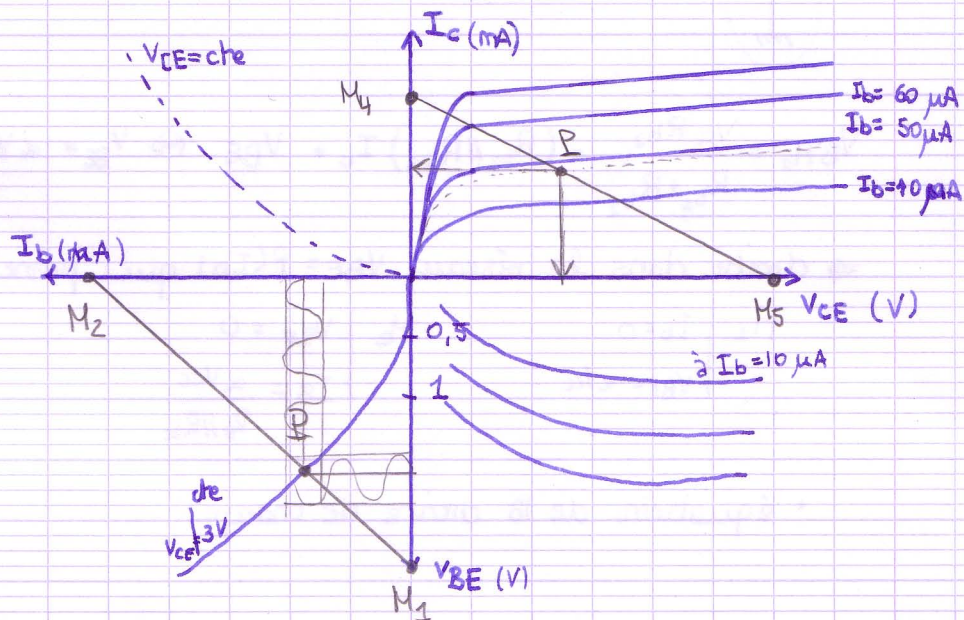
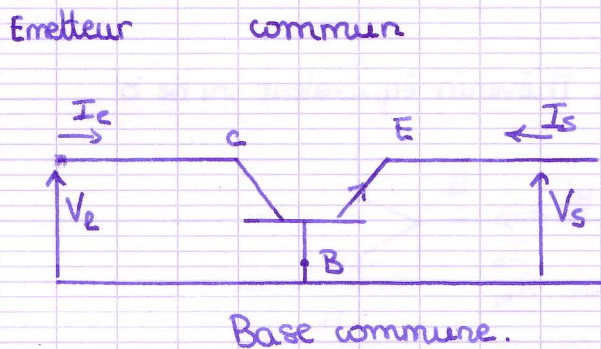
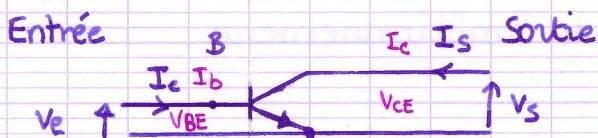


• Explication de l'effet transistor

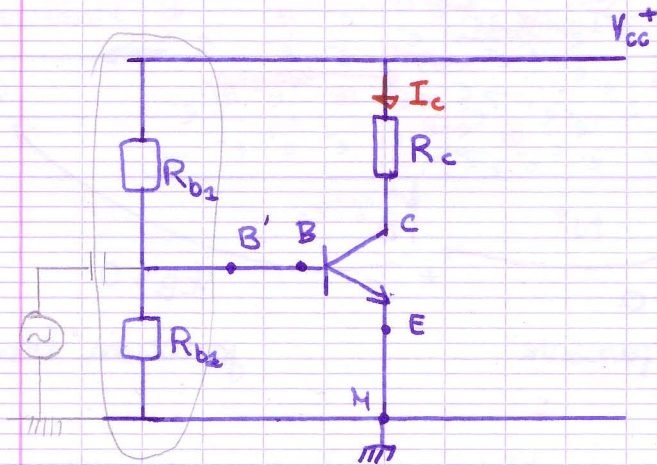
8/04/05



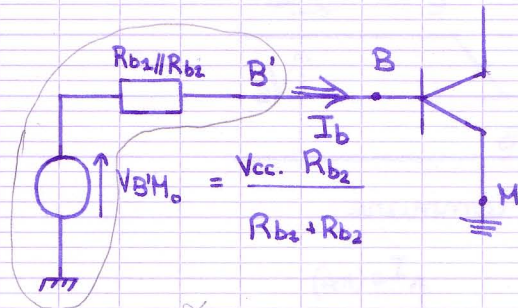
3) Réseaux de caractéristiques des transistors NPN



4) Polarisation du transistor NPN en régime linéaire



- point de fonctionnement
- équation de la droite d'attaque
- générateur de Thévenin équivalent vu de B'



$$V_{B'M_0} = \frac{V_{cc} R_{b2}}{R_{b1} + R_{b2}} = (R_{b1} // R_{b2}) I_b + V_{BE} \Leftrightarrow V_{BE} = \alpha V_{cc} - (R_{b1} // R_{b2}) I_b$$

$\Rightarrow$ droite dans le réseau $V_{BE} = f(I_b)$ qui passe par les points

$$M_1 \mid \begin{array}{l} I_b = 0 \\ V_{BE} = \alpha V_{cc} \end{array}$$

$$M_2 \mid \begin{array}{l} V_{BE} = 0 \\ I_b = \frac{\alpha V_{cc}}{R_{b1} // R_{b2}} \end{array}$$

- équation de la droite de charge.

8104105

$$V_{CC} = R_C I_C + V_{CE}$$

$$V_{CE} = V_{CC} - R_C I_C$$

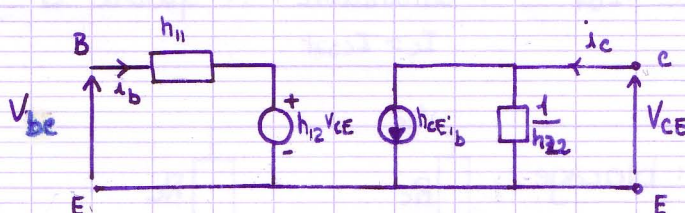
dte (D2) dans $I_C = f(V_{CE})$ passe par

$$M_3 \left| \begin{array}{l} I_C = 0 \\ V_{CE} = V_{CC} \end{array} \right.$$

$$M_4 \left| \begin{array}{l} V_{CE} = 0 \\ I_C = \frac{V_{CC}}{R} \end{array} \right.$$

$$\textcircled{R} \quad \frac{I_C}{I_B} = \beta_{\text{statique}} \quad (\text{gain au courant statique}) \sim \text{qq } 100$$

5) Schéma équivalent dynamique autour du point de fonctionnement



$$V_{be} = \Delta V_{BE}$$

$$i_c = \Delta I_C$$

$$V_{be} = h_{11} i_b + h_{12} V_{CE}$$

$$i_c = h_{21} i_b + h_{22} V_{CE}$$

$$\begin{pmatrix} V_{be} \\ i_c \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} i_b \\ V_{CE} \end{pmatrix}$$

Ordres de grandeurs: h_{11} : qq $k\Omega$

$$h_{12} : \simeq 0$$

$$1/h_{22} : 100 k\Omega \text{ ou } 1 M\Omega$$

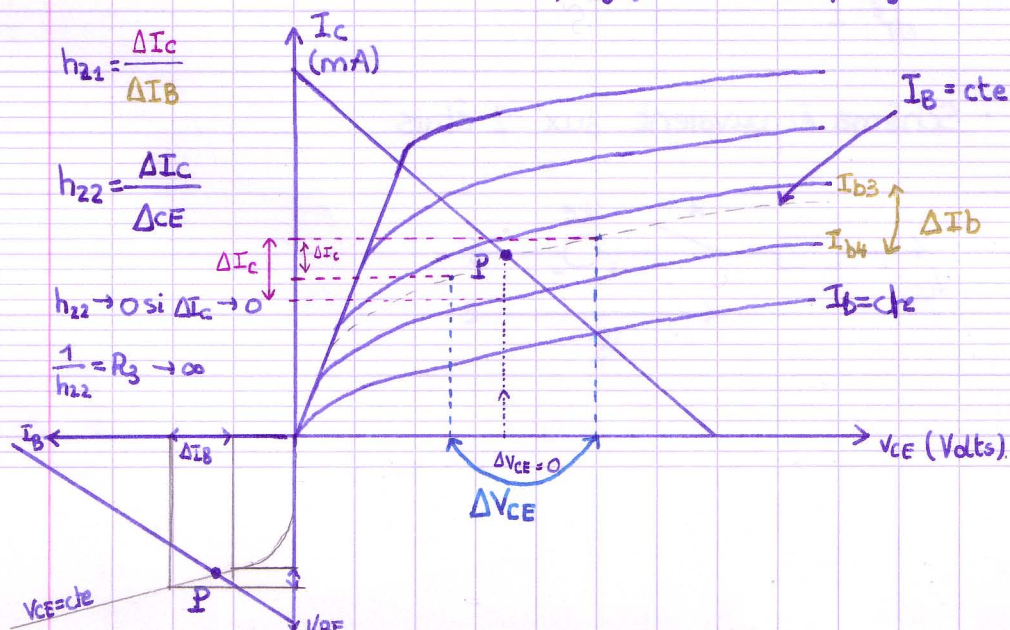
$$h_{21} \simeq 100 \text{ à } 200$$

$$h_{11} = \left(\frac{\Delta V_{BE}}{\Delta I_C} \right)_{\Delta V_{CE} = 0}$$

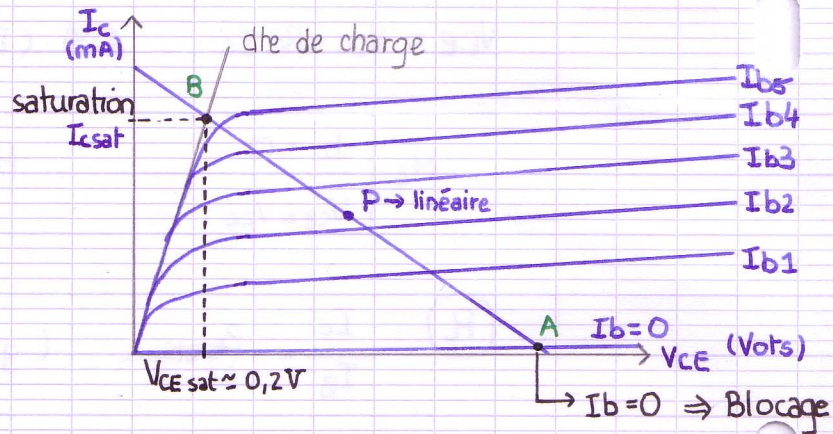
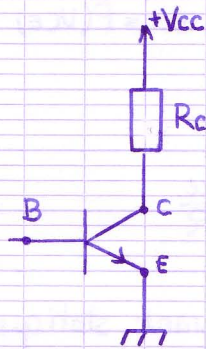
$$h_{22} = \left(\frac{\Delta I_C}{\Delta V_{CE}} \right)_{\Delta I_B = 0}$$

$$h_{12} = \left(\frac{\Delta V_{BE}}{\Delta V_{CE}} \right)_{\Delta I_B = 0}$$

$$h_{21} = \left(\frac{\Delta I_C}{\Delta I_B} \right)_{\Delta V_{CE} = 0}$$



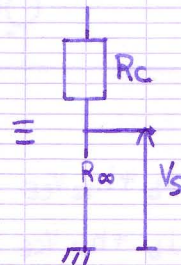
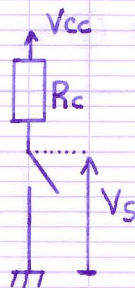
6) Utilisation du transistor en commutation



$I_B = 0 \Rightarrow \text{Blocage} \Rightarrow I_C = 0 \Rightarrow \text{point A}$

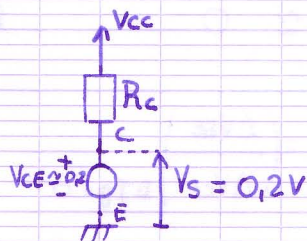
$I_B \gg \frac{I_{C\text{sat}}}{\beta} \times I_{B7} \rightarrow \text{saturation} \Rightarrow \text{point B}$
 $I_C \approx I_{C\text{sat}}$

Point A : blocage



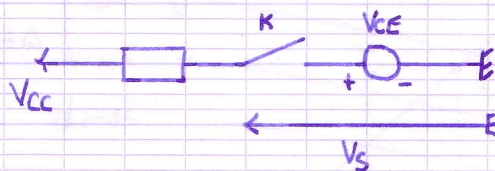
$V_C \approx V_{CC} \rightarrow \text{"1" Haut}$

Point B : saturation



$\Rightarrow \text{"0"}$

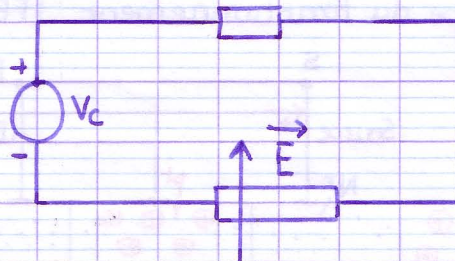
• Schéma équivalent aux 2 états



15/04/05

D) Le transistor à effet de champ à jonction (J.F.E.T.)

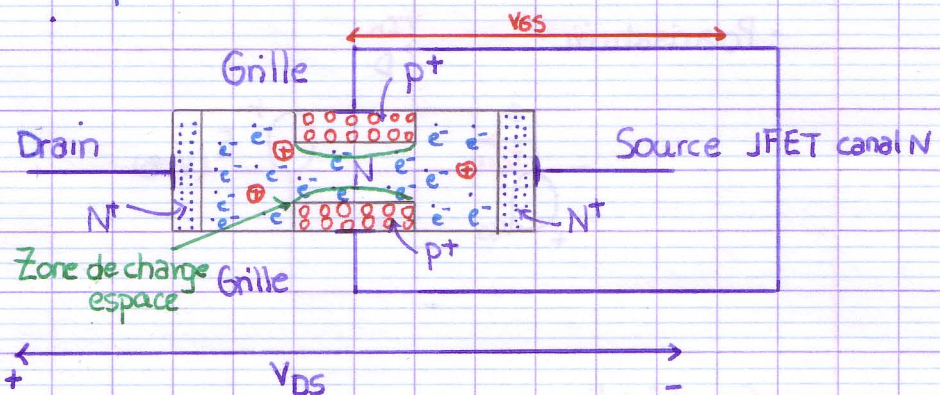
1) Généralités - Effets de champ



la valeur du champ $\vec{E}$ influence
sur le crêteau dans le circuit

Matériau semi-conducteur

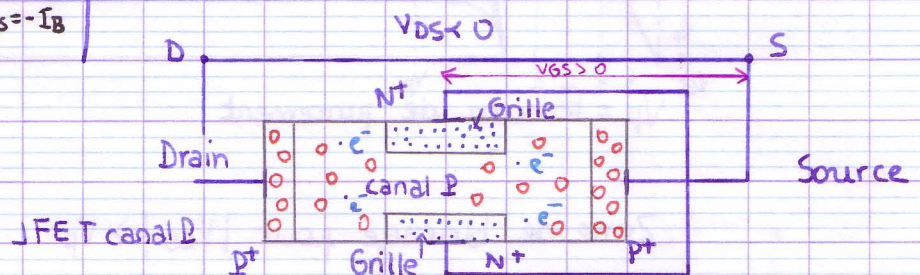
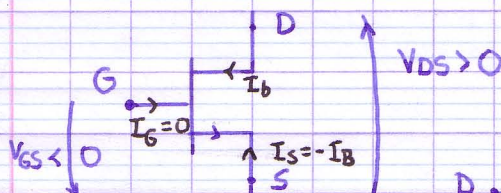
2) Principe du transistor JFET

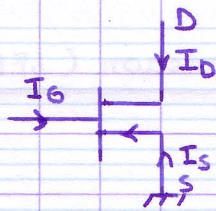


- $V_{DS} > 0$ $I_D \rightarrow S$ circule
- $V_{DS} < 0$ jonction GS bloquée

$$I_G \approx 0!$$

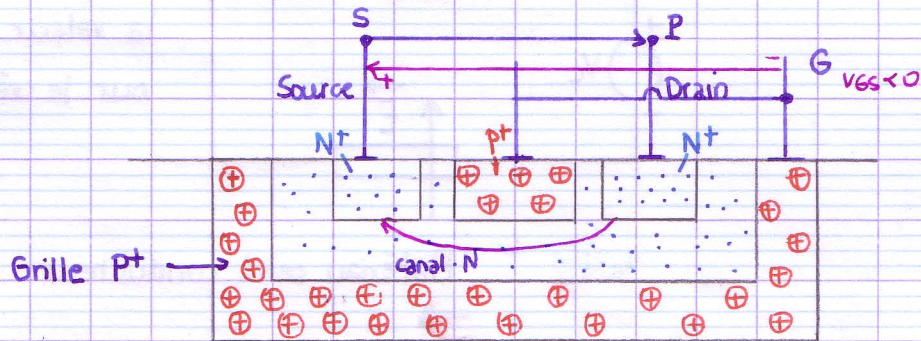
$$|V_{GS}| \uparrow \quad I_{DSS} \downarrow$$



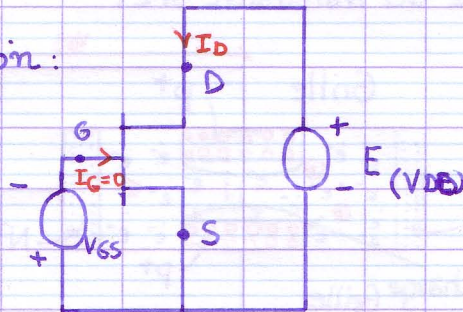


$$\begin{aligned} I_G &= 0 \\ I_D &< 0 \\ I_S &= -I_D \end{aligned} \quad \left| \begin{aligned} V_{DS} &< 0 \\ V_{GS} &> 0 \end{aligned} \right.$$

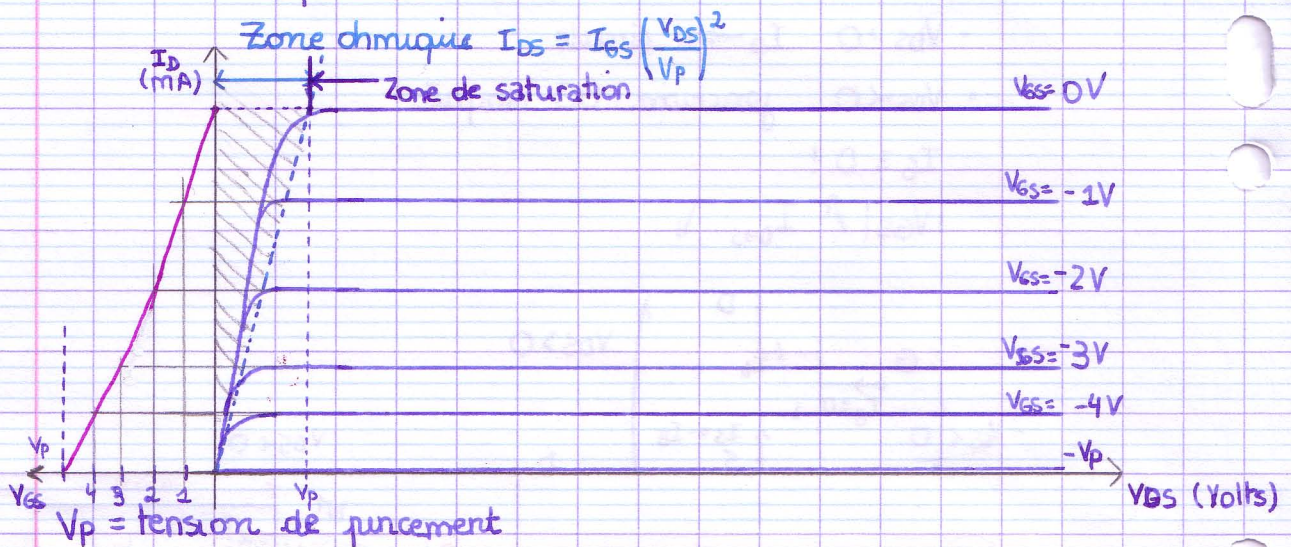
3) Principe du fonctionnement JFET canal N



• Polarisation :

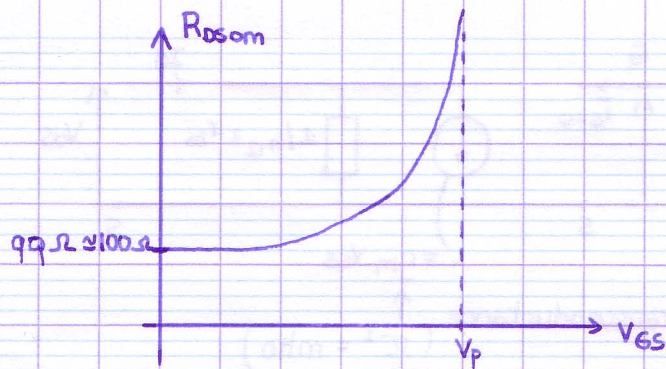


• Caractéristique

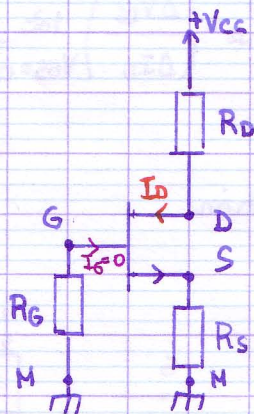


Zone de blocage pour $|V_{GS}| > V_p$

15/04/05

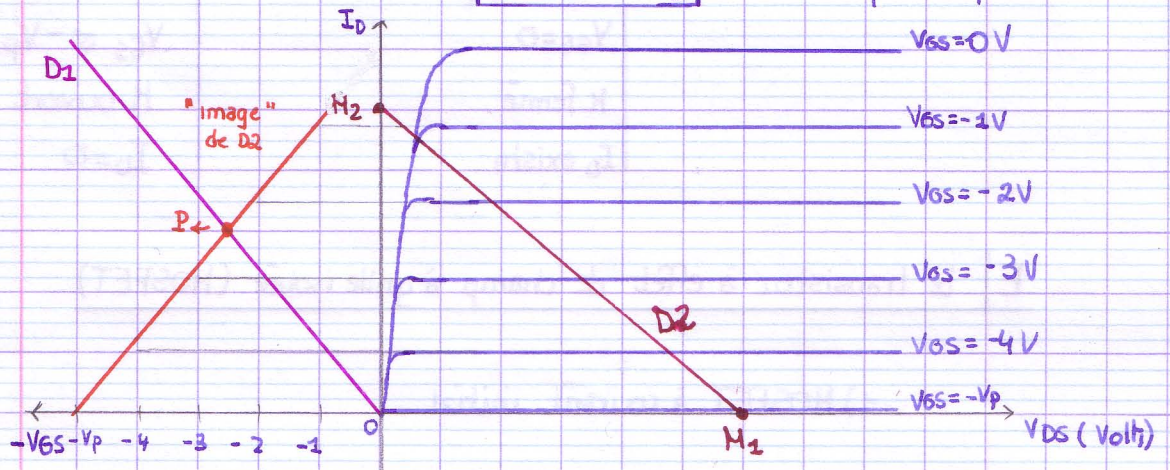


4) Polarisation du JFET en régime linéaire



équation de la droite d'attaque

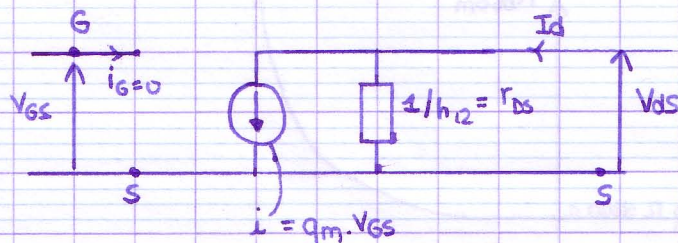
$$V_{GS} = 0 = V_{GS} + V_{SM} \Leftrightarrow V_{GS} = -R_S \cdot I_D \rightarrow \text{Droite (D1) passe par } (0, 0) \text{ dans } I_D = f(V_{GS})$$



$$V_{DS} = (R_D + R_S)I_D + V_{GS} \rightarrow \text{Droite (D2) dans } I_D = f(V_{DS}) \text{ passe par } M_2$$

$$\begin{aligned} I_D = 0, V_{DS} &= V_{GS} \\ V_{DS} = 0, I_D &= \dots \end{aligned}$$

5) Schéma dynamique petit signal équivalent au transistor JFET autour de P



$$R_{DS} \gg r_{DS}$$

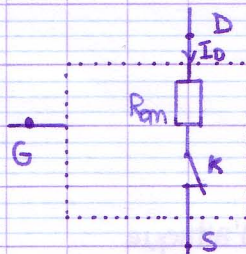
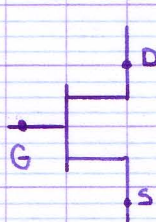
$g_m = \text{transconductance}$
 $(\Omega^{-1} = \text{mho})$

* côté sortie : $i_d = g_m V_{GS} + \underbrace{h_{22}}_{1/R_{DS}} V_{DS}$

$$g_m = \left(\frac{\Delta I_D}{\Delta V_{GS}} \right)_{V_{DS}=0}$$

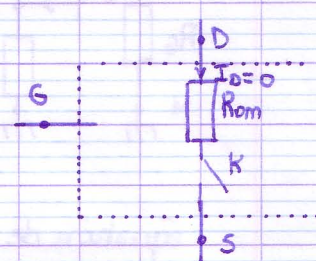
$$r_{DS} = \left(\frac{\Delta V_{DS}}{\Delta I_D} \right)_{V_{GS}=0} \text{ très gde sur } \infty \quad \Delta \text{ autour de } P$$

6) Utilisation du JFET en commutation



Zone ohmique

$V_{GS} = 0$
 K fermée
 I_D existe



$V_{GS} \leq -V_p$
 K ouvert
 $I_D = 0$

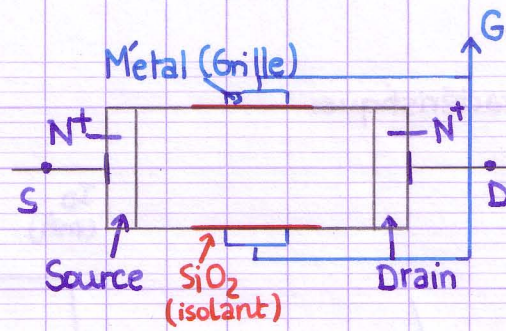
E | Le transistor à effet de champ à grille isolée (MOSFET)

1) MOSFET à courant initial

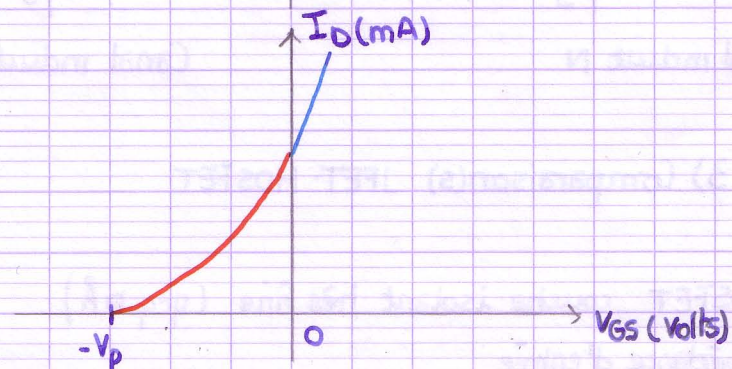
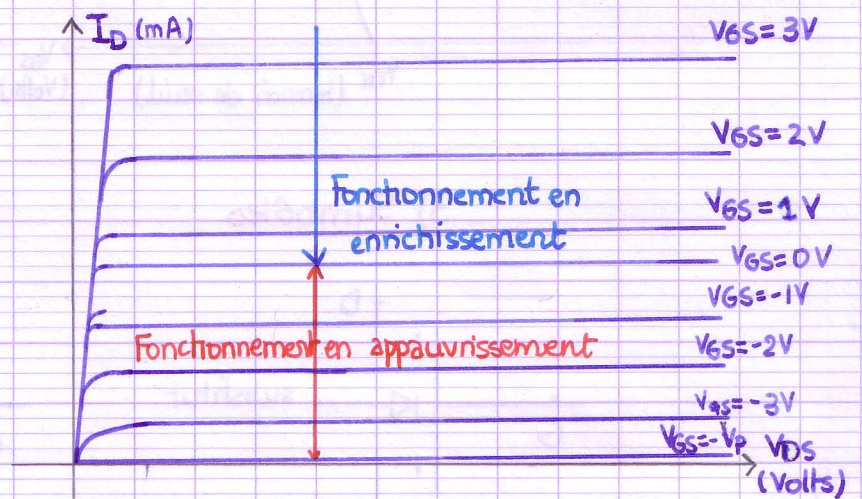
Metal Oxyde Semi-conducteur

1) Le principe

22/04/05

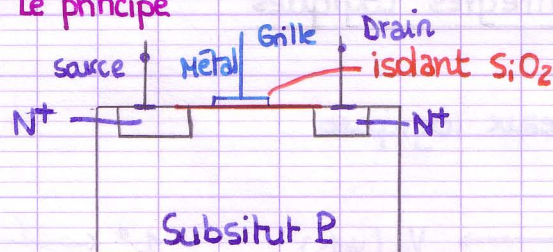


2) Le fonctionnement

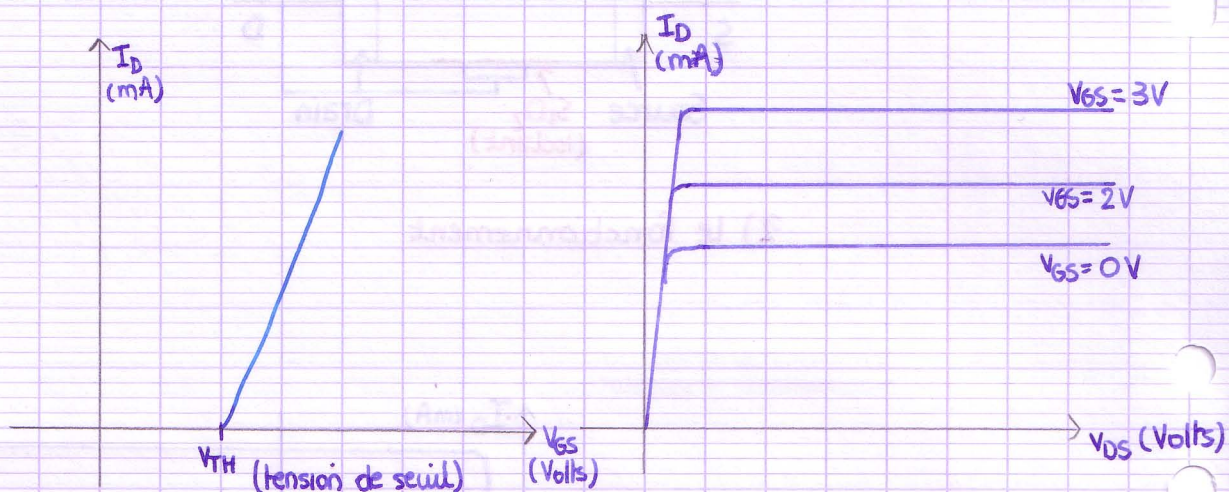


2) Mosfet à canal induit

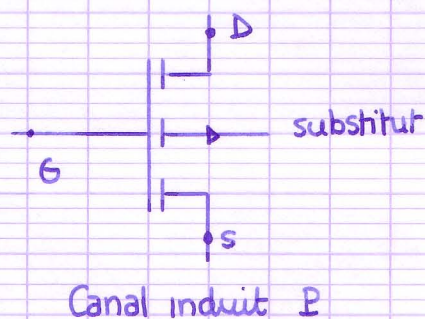
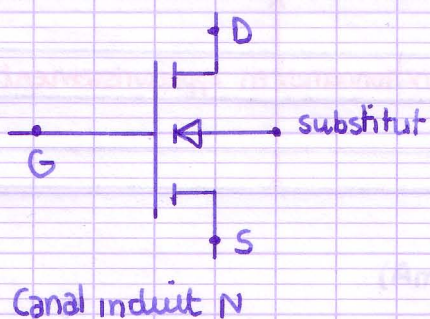
1) Le principe



2) Caractéristiques



3) Symboles



3) Comparaison(s) JFET-MOSFET

- MOSFET couche isolant très fine (qqq $10 \text{ \AA}$)
- impédance d'entrée
 JFET: $10^8 \text{ à } 10^{10} \Omega$
 MOSFET: $10^{13} \text{ à } 10^{16} \Omega$

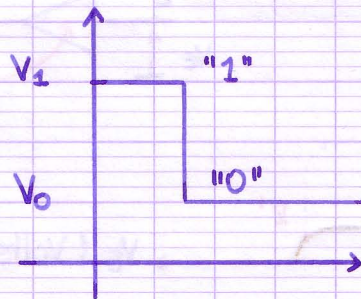
F | Circuits Intégrés Logiques

1) Niveaux logiques

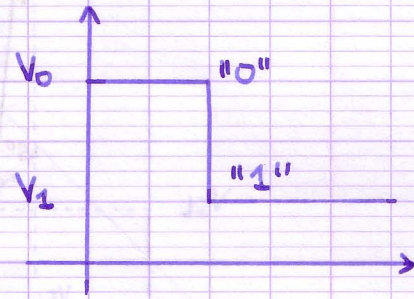
- "0" $\longleftrightarrow V_0$ (volts) "1" $\longleftrightarrow V_1$

22/04/05

1) Logique positive - négative



logique positive

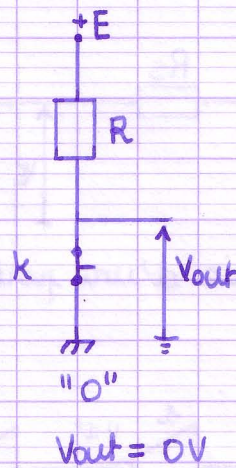
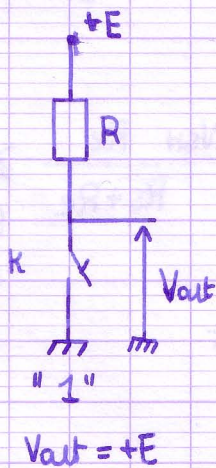


logique négative

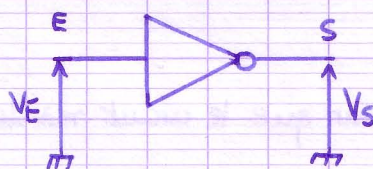
$$\begin{cases} \text{"0"} & V \leq 0,5V \\ \text{"1"} & V \geq 2V \end{cases}$$

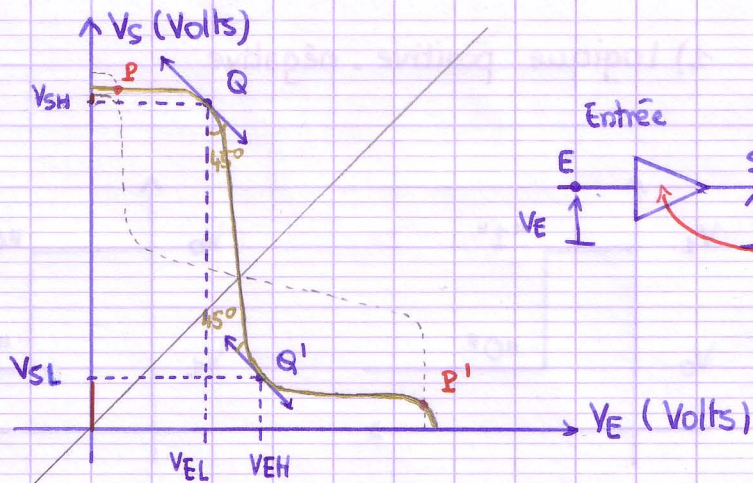
$$\begin{cases} \text{"0"} & V \leq 2V \\ \text{"1"} & V \geq 3V \end{cases}$$

2) Circuit binaire



3) Graphe de transfert (inverseur)





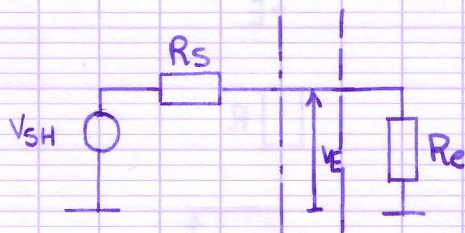
$$V_S \geq V_{SH} \rightarrow V_S \equiv "1"$$

$$V_S \leq V_{SL} \rightarrow V_S \equiv "0"$$

4) Fan in, fan out

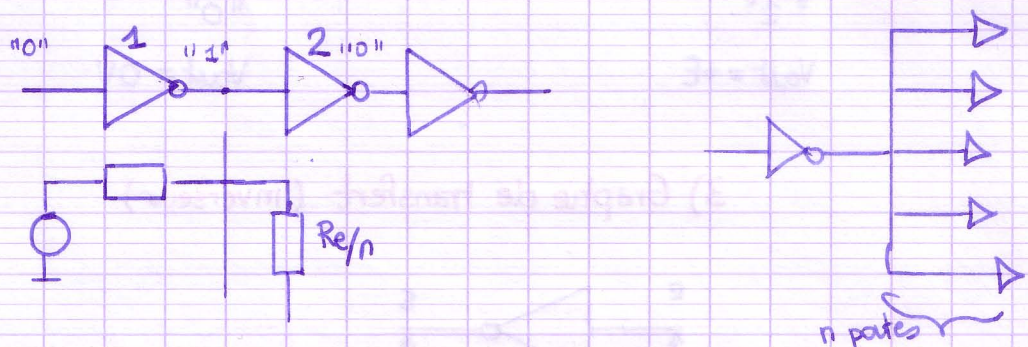
Fan out

Notion de circuits logiques qu'un circuit logique peut commander



$$V_E = \frac{V_{SH} R_E}{R_S + R_E} \geq V_{EH} \quad (\text{pour que la sortie de 2 soit "0"})$$

Sortie d'une porte Entrée
du circuit suivant

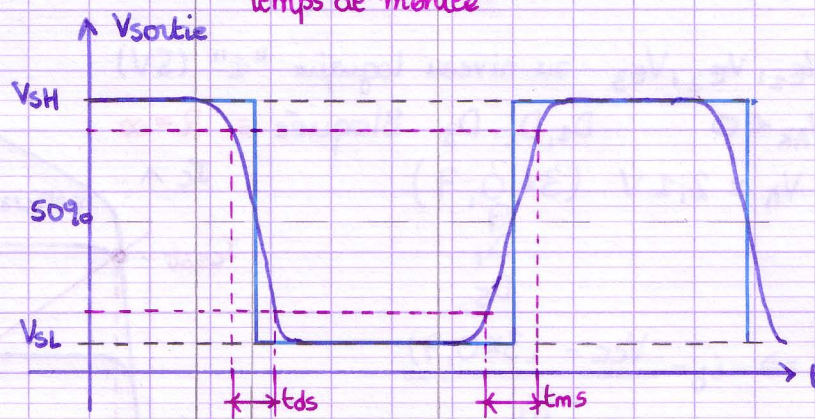
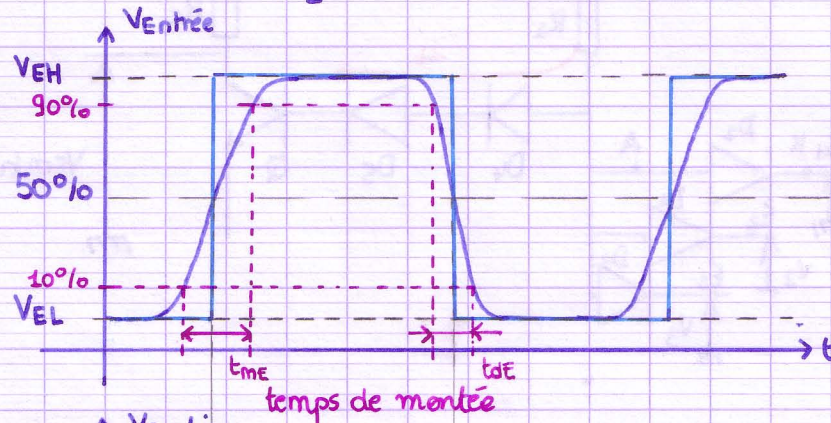


Fan Out = max n pour que le circuit marche encore (en parallèle)

22/04/05

Fan in = nombre max qu'un circuit peut avoir en // avec lui

- Puissance du signal $P_d(w) = V(v) \times I(A)$



temps de propagation

t_{PLH} t_{PHL}

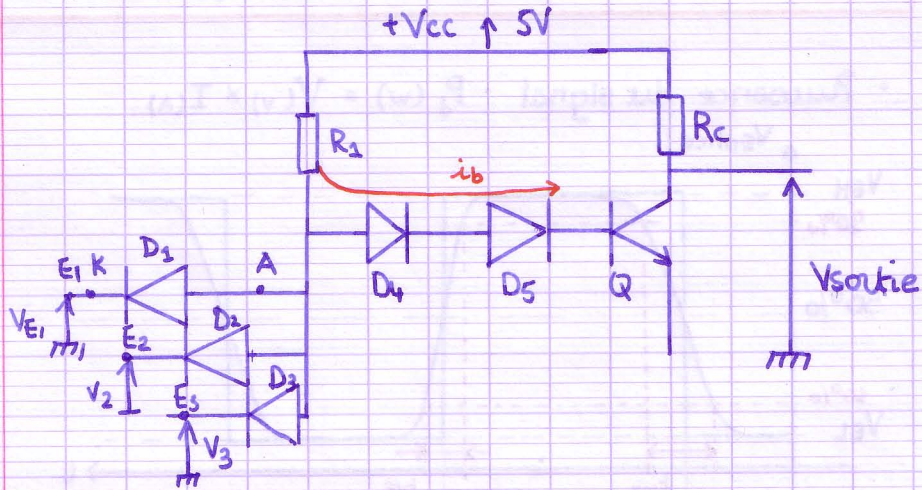
2) les différentes familles de circuits logiques

- logique TTL (Bloqué - sortie)
- logique ECL $\rightarrow$ la + rapide (Bloqué - conducteur)
- logique MOS - CMOS

1) Famille TTL

* schéma de principe

Porte NAND



V_{E1}, V_{E2}, V_{E3} au niveau logique "1" (5V)

$V_A < 0$ D_1, D_2, D_3 Bloquée $\Rightarrow R = \infty$

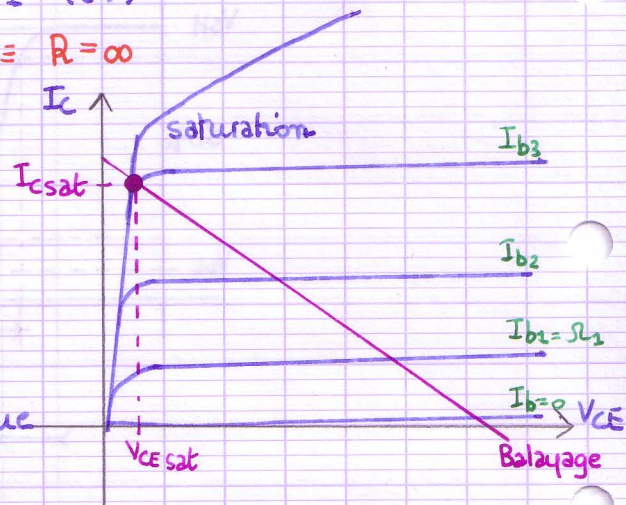
$$V_A \approx 2,1 \text{ V } (3 \times 0,7)$$

Q
D4
D5

$$\Rightarrow i_b = \frac{V_{cc} - (3 \times 0,7)}{R_1}$$

Saturation. On choisit R_1 pour que

$$i_b \gg I_b = \frac{I_{csat}}{\beta}$$



$$V_{CE} = V_{cesat} = V_{satu} \approx 0,2 \text{ V} \rightarrow \boxed{"0" = V_s}$$

$V_{E1} = "0" (0 \text{ Volts}) \rightarrow D_1 \text{ conduit} \rightarrow V_A \approx 0,7 \text{ Volts} \rightarrow D_4 \text{ et } D_5 \text{ bloqu  }$

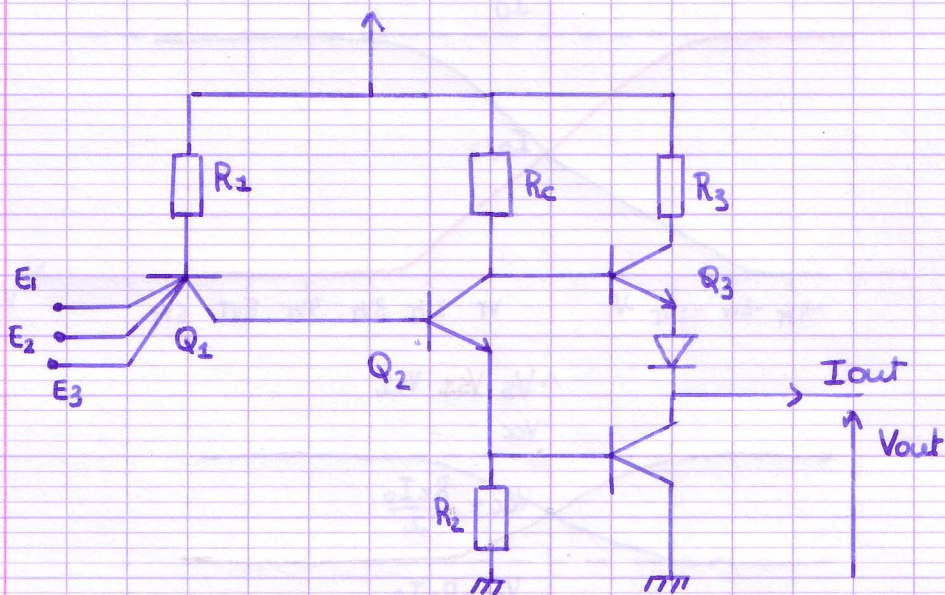
$$\Rightarrow i_b \equiv 0 \rightarrow Q \text{ bloqu  }$$

$$I_c = 0 \rightarrow R_c I_c = 0 \rightarrow \boxed{V_s = "1"}$$

V_{E1}	V_{E2}	V_{E3}	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

22/04/05

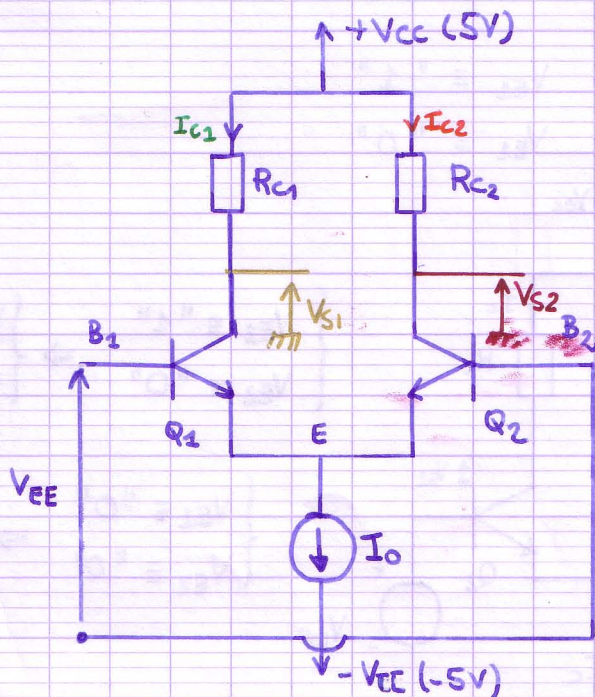
* Schéma réel : augmentation du Fan in



2) Famille ECL

- Porte OR/NOR

* schéma de principe

 $V_{EE} \gg (V_{EE} > 0)$

Q1 conducteur

Q2 Bloquée

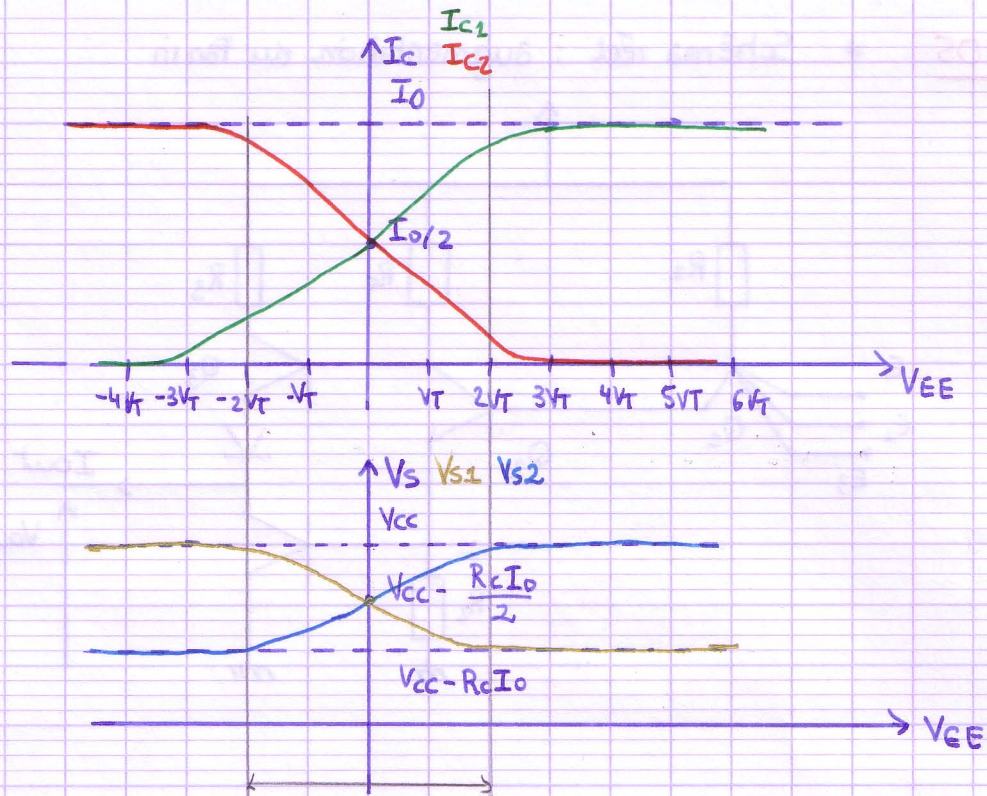
 $V_{EE} \ll (\text{négatif})$

Q1 bloquée

Q2 conduit

l'inverse

$$V_T = \frac{k \cdot T}{q} \approx$$



$\uparrow +5V$

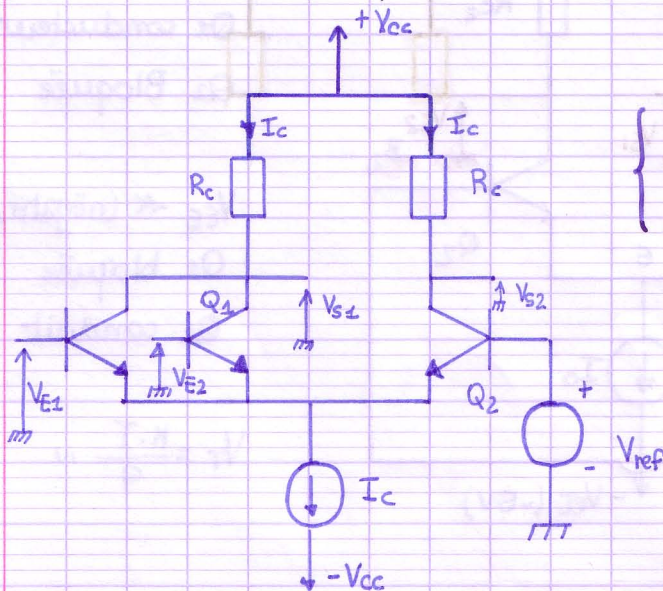
$$V_{S1} = V_{CC} - R_{C1} I_{C1}$$

$$V_{S2} = V_{CC} - R_{C2} I_{C2}$$

* Schéma de la porte logique

$$V_{E1} > V_{ref} + 4V_T \Leftrightarrow V_{E1} \equiv "1"$$

$$V_{E1} < V_{ref} - 4V_T \Leftrightarrow V_{E1} \equiv "0"$$



$$\begin{cases} V_{E1} \equiv "1" \\ V_{E2} \equiv "0" \end{cases} \Rightarrow \begin{cases} V_{S2} \equiv "1" \\ V_{S1} \equiv "0" \end{cases}$$

$$\begin{cases} V_{E1} \equiv "0" \\ V_{E2} \equiv "0" \end{cases} \Rightarrow \begin{cases} V_{S2} \equiv "0" \\ V_{S1} \equiv "1" \end{cases}$$

29/04/05

V_{E1}	V_{E2}	V_{S1}	V_{S2}
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

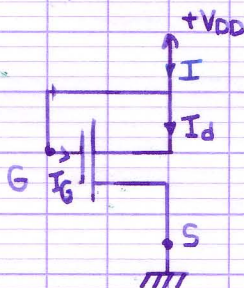
Porte NOR/OR

G | Fonctions logiques en technologie NMOS et CMOS

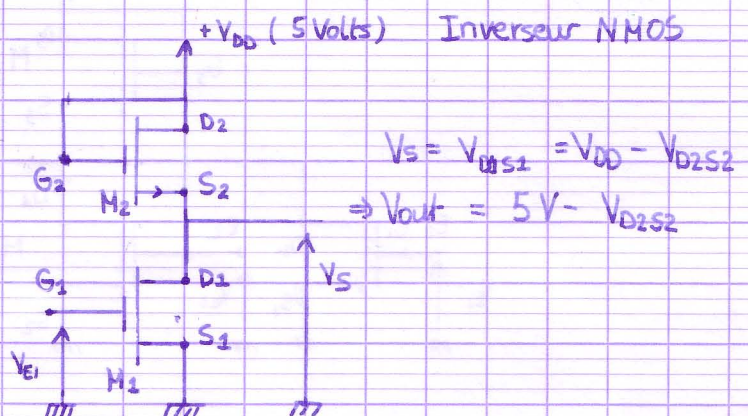
1) Technologie NMOS

1) Inverseur NMOS

1) Utilisation du NMOS en résistance



$$\begin{aligned} I_C &= 0 \\ I &= I_D \\ V_{GS} &= V_{DS} \end{aligned}$$



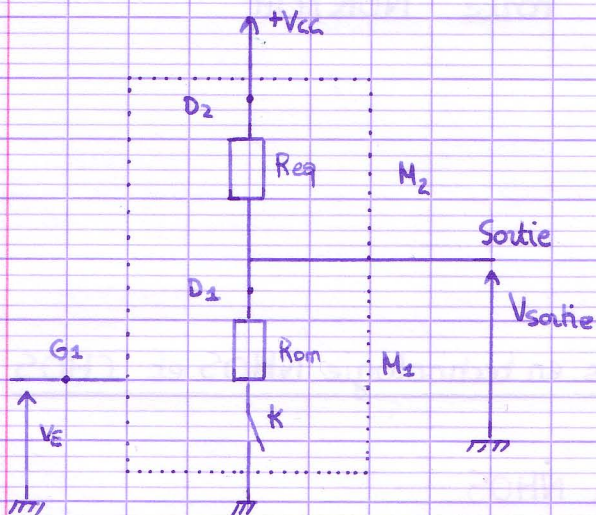
$$\begin{aligned} V_S &= V_{DS1} = V_{DD} - V_{D2S2} \\ \Rightarrow V_{out} &= 5V - V_{D2S2} \end{aligned}$$

$$V_{GS1} = V_E =$$

$$(V_{GS} \leq 2V \Leftrightarrow V_E = "0") \Rightarrow (V_{out} \geq 3V \Leftrightarrow V_S = "1")$$

$$(V_E \geq 4V \Leftrightarrow V_E = "1") \Rightarrow (V_S \leq 1V \Leftrightarrow V_S = "0")$$

4) Circuit électrique équivalent



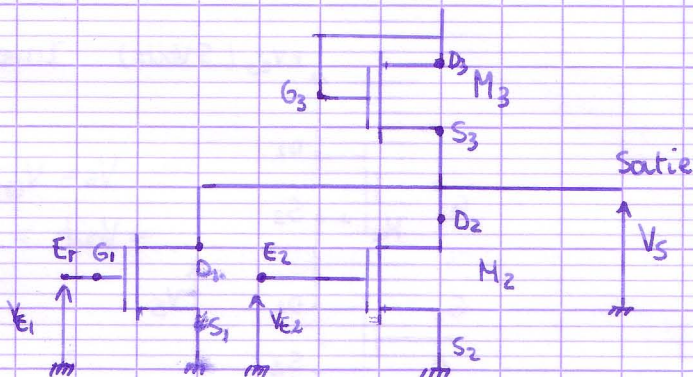
K ouvert si $V_E = "0"$ $\Rightarrow V_{sortie} \equiv "1"$

K fermé si $V_E \equiv "1"$ $\Rightarrow V_{sortie} \equiv "0"$

2) Portes logiques NMOS

1) Porte NOR

- schéma de principe



Sortie $V_s \rightarrow \equiv "1"$

$V_{E1} \equiv "0"$ ET $V_{E2} \equiv "0"$

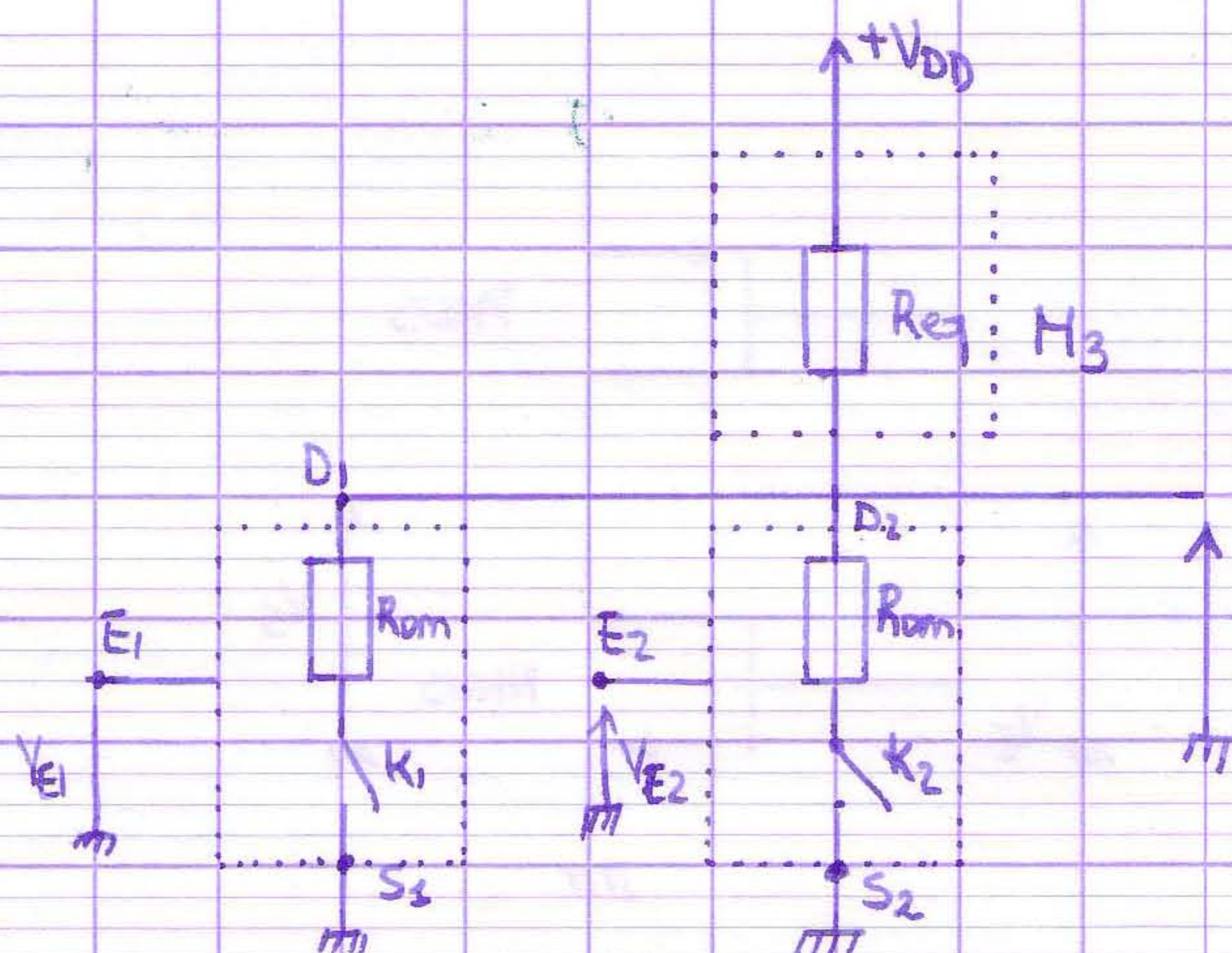
Sortie $V_s \rightarrow \equiv "0"$

si V_{E1} ou $V_{E2} \equiv "1"$

29/04/05

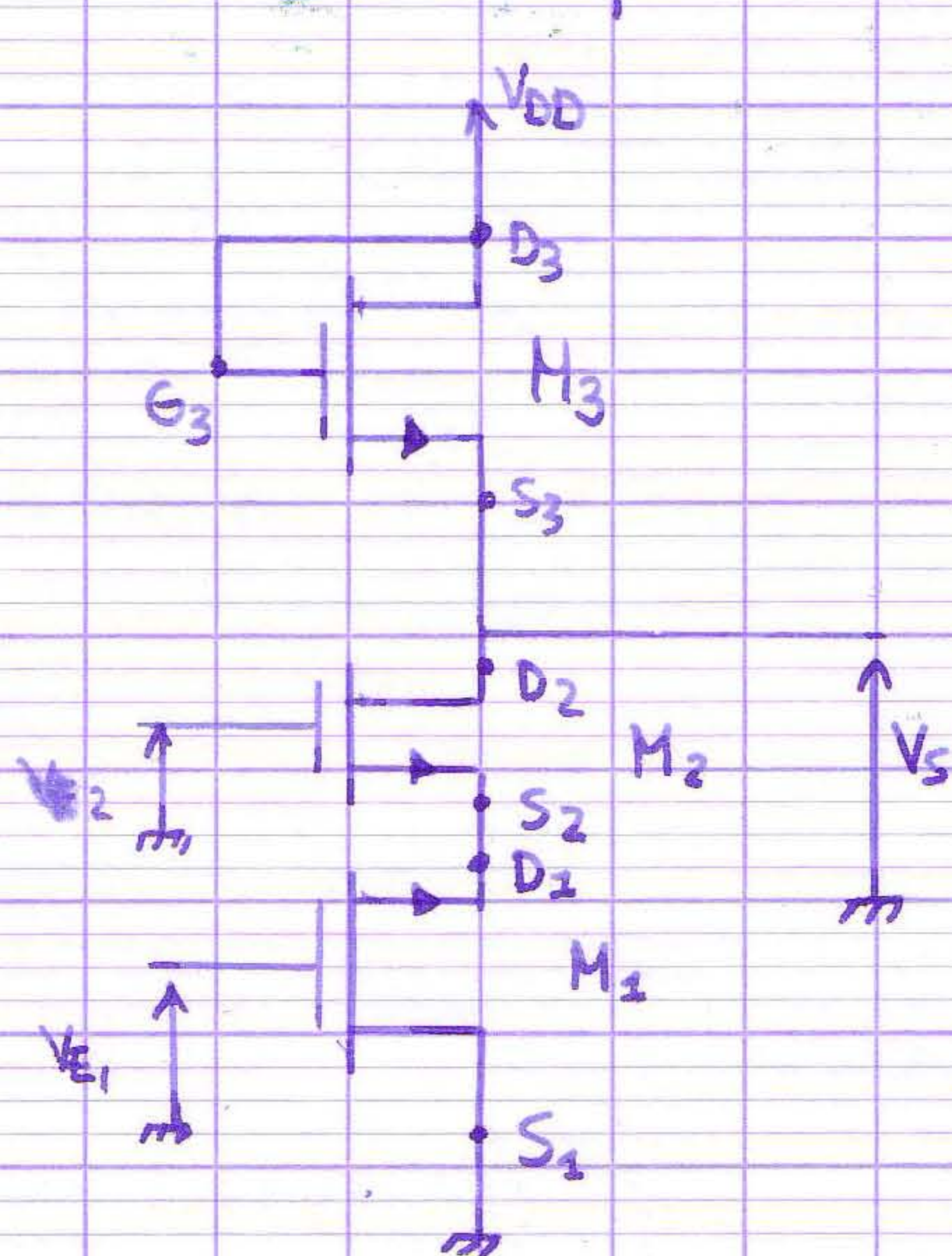
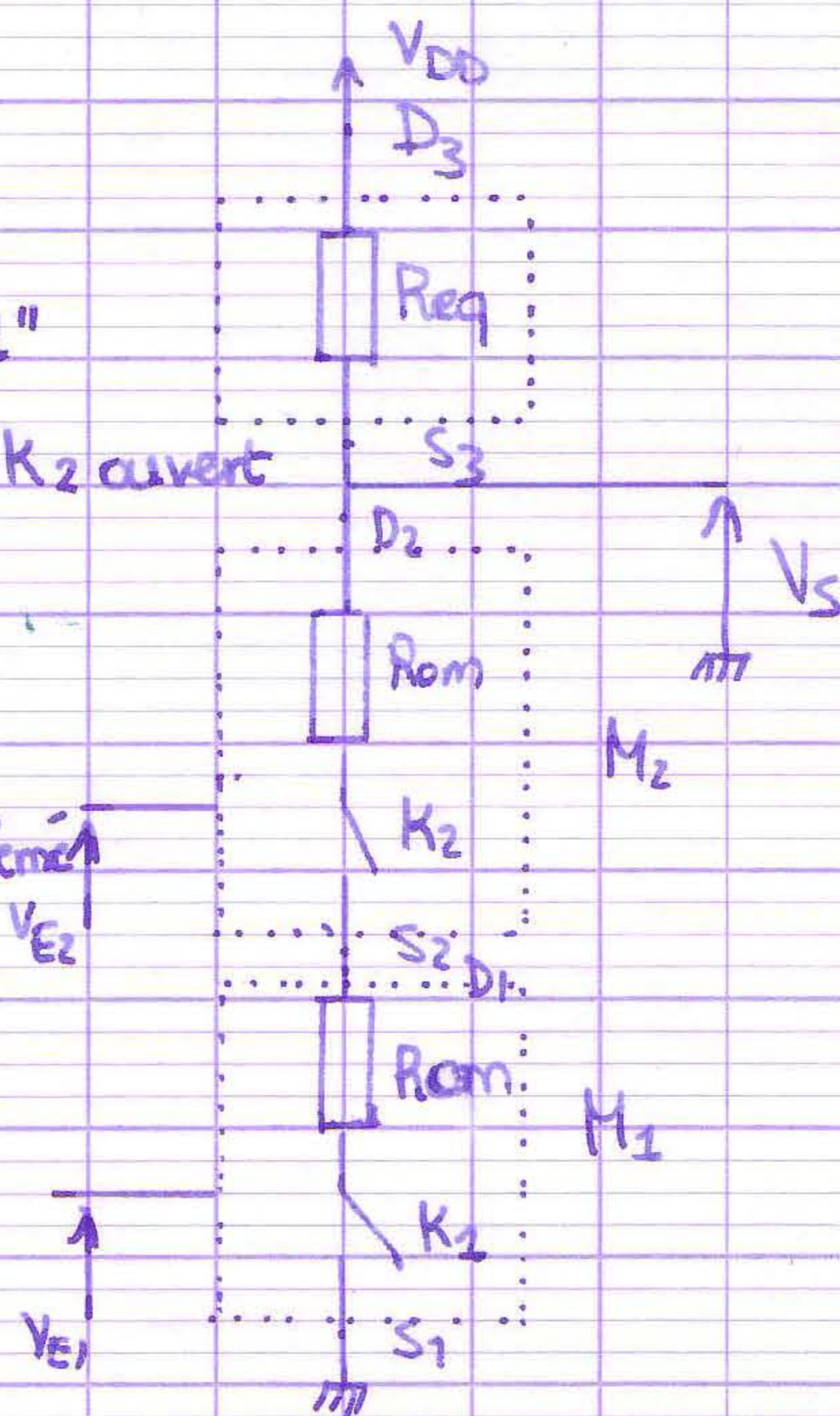
table de vérité

V_{E1}	V_{E2}	V_S
0	0	1
0	1	0
1	0	0
1	1	0



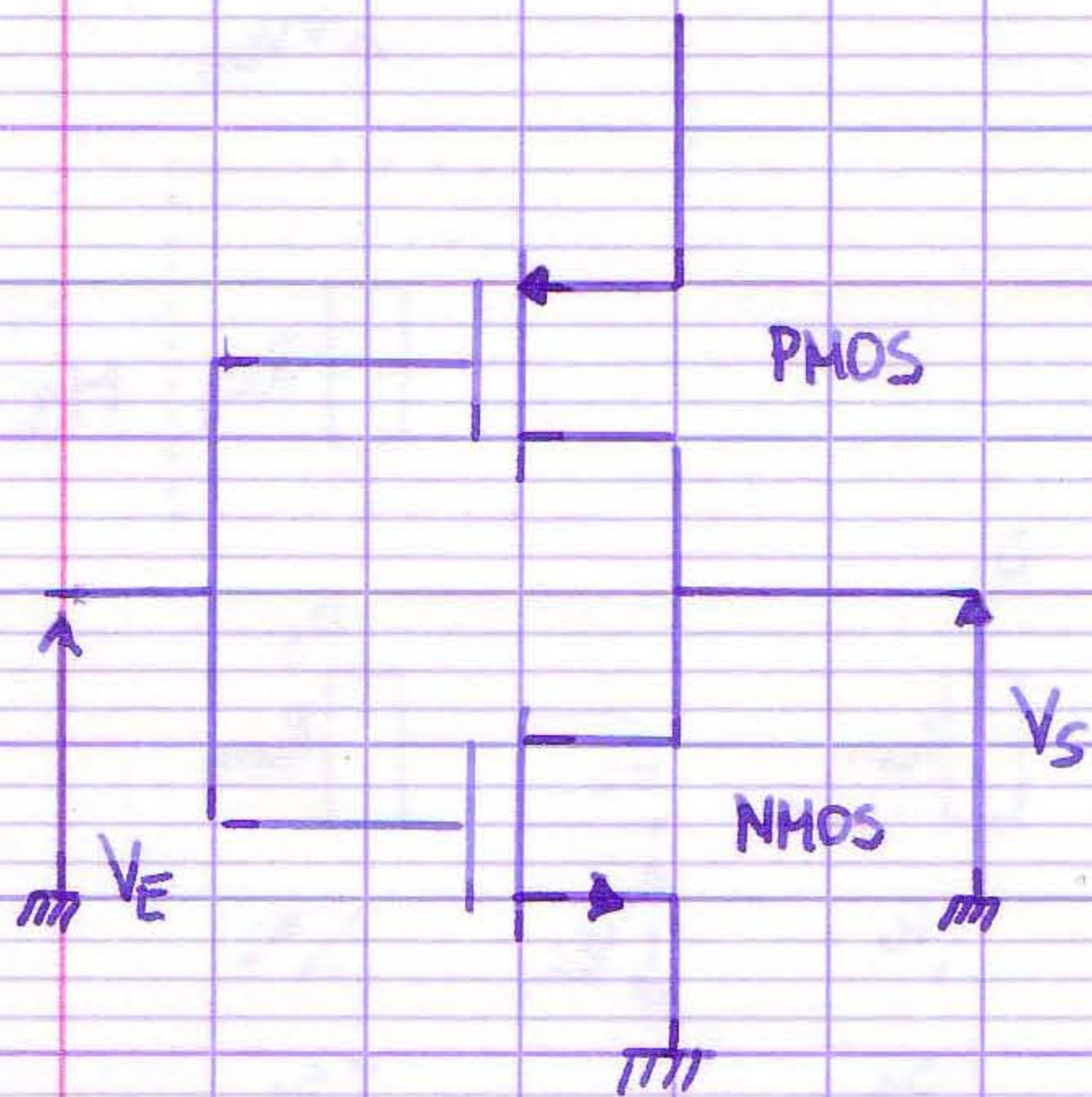
3) Porte NAND

- schéma électrique

 $V_S \equiv "1"$ si K_1 et K_2 ouvert
ou $V_S \equiv "0"$ si K_1 et K_2 fermé

2) Technologie CMOS

1) Le circuit inverseur CMOS



les 2 MOS sont complémentaires

$|V_{TH}|$ identiques

$$V_{TH} = \frac{V_{DD}}{2}$$

$$V_E = V_{GS_N} \geq V_{TH} \rightarrow V_E \equiv "1"$$

Mos canal N devient conducteur $\rightarrow V_S \equiv "0"$

$$V_E = V_{GS_P} \leq V_{TH} \rightarrow V_E \equiv "0" \rightarrow V_S \equiv "1"$$

Mos canal P est conducteur.