ÉLECTRONIQUE NUMÉRIQUE ET ANALOGIQUE

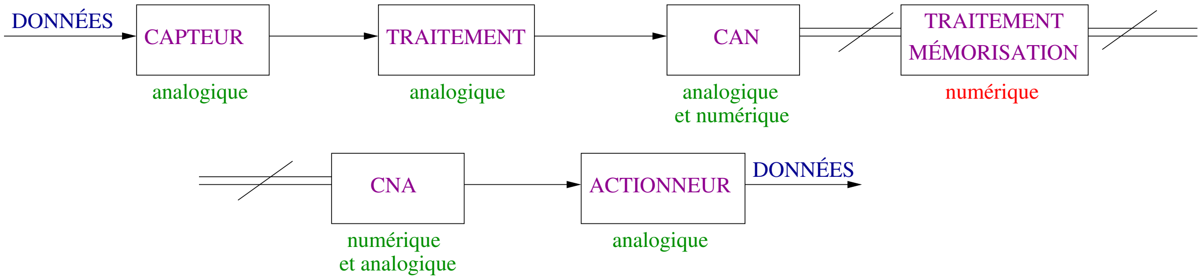
Johann PAVIS
(selon sources S. RENAUD et . FABRE)

Table des matières

Première partie

Électronique numérique

La chaîne de traitement des données est la suivante :

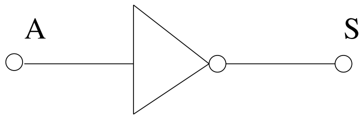


Chapitre 1

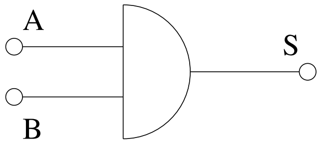
Circuits élémentaires

1.1 Combinatoire : implémentation des équations booléennes

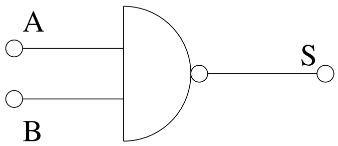
inverseur $S = \overline{A}$



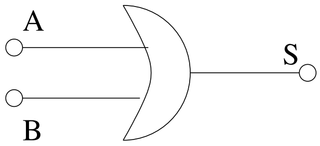
ET $S = A \cdot B$



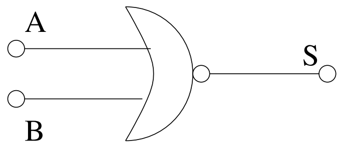
NAND $S = \overline{A \cdot B}$



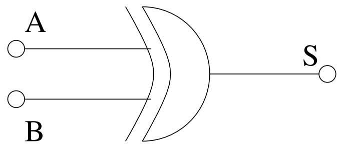
OU $S = A + B$



NOR $S = \overline{A + B}$



XOR $S = A \oplus B$



XNOR $S = \overline{A \oplus B}$

Théorèmes 1 *Voici quelques théorèmes utiles pour simplifier les expressions combinatoires :*

Théorème d'absorption *:* $A + A.B = A$

Théorème d'adjacence *:* $A.B + A.\overline{B} = A$

Théorème de consensus *:* $A + \overline{A}.B = A + B$

Lois de Morgan 2 *Les lois de* Morgan *permettent de transformer une négation de "somme" en un "produit de négations" et une négation de "produit" en une "somme de négations" :*

$$\overline{A.B.C\ldots} = \overline{A} + \overline{B} + \overline{C} + \ldots$$

$$\overline{A + B + C\ldots} = \overline{A}.\overline{B}.\overline{C}\ldots$$

On voit donc que toute fonction logique peut s'exprimer avec NON, ET, OU. Reste le problème de la simplification des fonctions logiques. Il existe plusieurs méthodes :

- Méthode du consensus cette méthode sert essentiellement dans le cas des systèmes à très nombreuses variables (programmation, outil de synthèse, ...)
- Méthode des tables de Karnaugh
- Méthode graphique cette méthode est basée sur le théorème d'adjacence

1.2 Méthode des tables de Karnaugh

On va prendre une variable S résultant d'une fonction logique de deux variables, A et B. On suppose que S est une somme de produits[1] : $S = f(A, B)$.

On va considérer $S = A.B + \overline{A}.\overline{B}$. On écrit la table logique correspondante :

	0	1
0	0	1
1	0	1

On effectue un regroupement des "1" du tableau. Ce regroupement doit comporter un nombre **pair** de "1" et les "1" doivent être **adjacents**. Ici, on regroupe les deux "1" de la deuxième colonne. Comme dans cette colonne c'est B qui varie, on obtient : $S = A$.

On prend trois variables à présent : $S = \overline{A}.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.C + \overline{A}.B.\overline{C}$. On obtient le tableau suivant, où la première ligne correspond à $B.C$:

	00	01	11	10
0	1	0	0	1
1	0	1	1	0

On effectue le regroupement des "1" de la première ligne, puis le regroupement de ceux de la deuxième ligne. Sur ces deux regroupements, seuls A et C ne varient pas. On obtient ainsi : $S = \overline{A}.C + A.\overline{C} = \overline{A \oplus B}$.

On notera qu'il existe plusieurs solutions équivalentes.

On peut avoir également des cas *indéfinis*. Par exemple, sur une système à deux entrées, il se peut que la combinaison "11" n'apparaisse jamais. On peut alors remplir la table de Karnaugh de manière à pouvoir effectuer un regroupement.

[1]Ceci est la première forme normale des équations booléennes. La seconde forme est un produit de somme

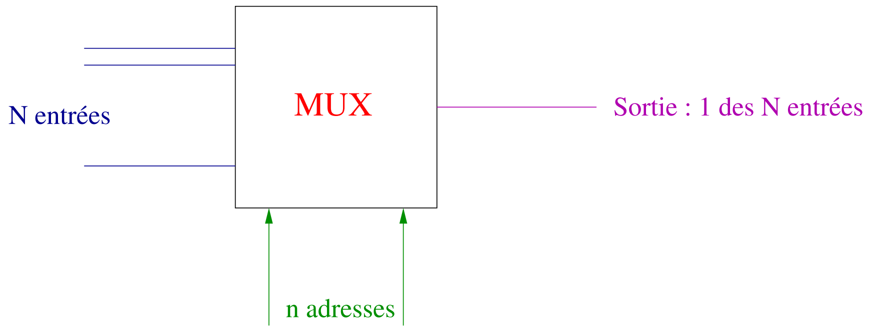
Chapitre 2

Circuits combinatoires spécifiques

On va ici traiter des fonctions de type booléen et arithmétique.

2.1 Multiplexeur

Un multiplexeur est un système à N entrées et 1 sortie, qui est une des N entrées. Il possède n adresses, avec $N = 2^n$:

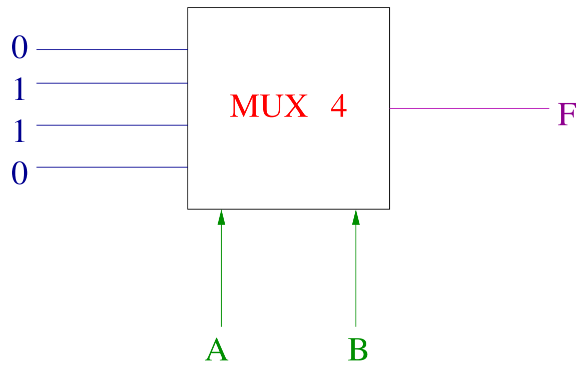


Exemple 1 Cas du multiplexeur à 2 adresses : A_0 et A_1. On note E_i les entrées (i étant compris entre 0 et 1). On obtient le tableau des états suivants :

Entrées	Adresses A_0	A_1	Sortie
$\vdots$	0	0	E_0
$\vdots$	0	0	E_1
$\vdots$	0	0	E_2
$\vdots$	0	0	E_3

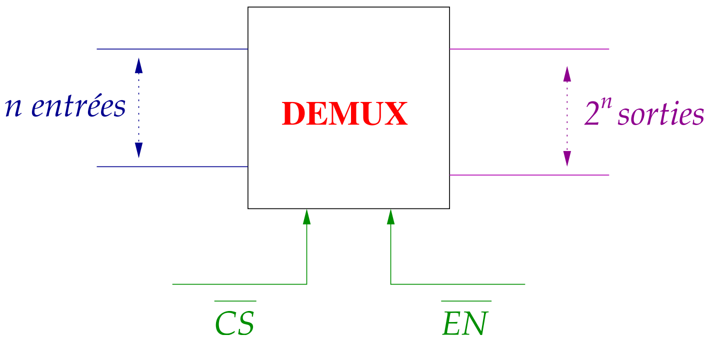
Donc on a : $S = E_0.\overline{A_0}.\overline{A_1} + E_1.A_0.\overline{A_1} + E_2.\overline{A_0}.A_1 + E_2.A_0.A_1$

Exemple 2 Multiplexeur à deux adresse de sortie $F = \overline{A}.B + A.\overline{B}$



2.2 Démultiplexeur ou décodeur binaire

Un démultiplexeur possède n entrées et $N = 2^n$ sorties. Il possède deux autres entrées : $\overline{CS}$ (chip select) et $\overline{EN}$ (enable). La sortie est validée selon ce qui est passé en entrée.



Exemple : DEMUX 4 On va donner la table d'un démultiplexeur à 2 entrées A_0 et A_1. On notera S_i les différentes sorties (i variant de 0 à 3).

$\overline{CS}$	A_0	A_1	S_0	S_1	S_2	S_3
0	0	0	0	0	0	1
0	0	1	0	0	1	0
0	1	0	0	1	0	0
0	1	1	1	0	0	0
1	x	x	0	0	0	0

On obtient aisément : $S_0 = \overline{A_0}.\overline{A_1}$, $S_1 = A_0.\overline{A_1}$, $S_2 = \overline{A_0}.A_1$ et $S_3 = A_0.A_1$.

2.3 Circuits arithmétiques

Utilisés en pratique pour la présentation binaire et les opérations arithmétiques.

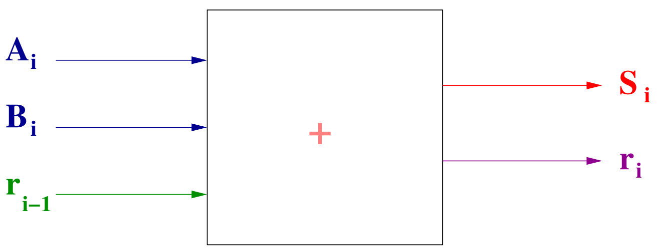
2.4 Table de lookup (LUT)

Ce sont des tables de mémoires servant à stocker, **par exemple**, les valeurs des sinus entre 0 et 1. Elles contiennent en général un nombre d'élément de la forme 2^n.

2.5 Additionneurs

2.5.1 Additionneur 1 bit

Schéma de principe On note A et B les entrées, S la somme des entrées, r la retenue :



La table de l'additionneur 1 bit est la suivante :

r_{i-1}	A_i	B_i	S_i	r_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

En écrivant les deux tables de Karnaugh pour S_i et pour r_i, on trouve : $S_i = r_{i-1} \oplus A_i \oplus B_i$ et $r_i = A_i.B_i + r_{i-1}.B_i + r_{i-1}.A_i$

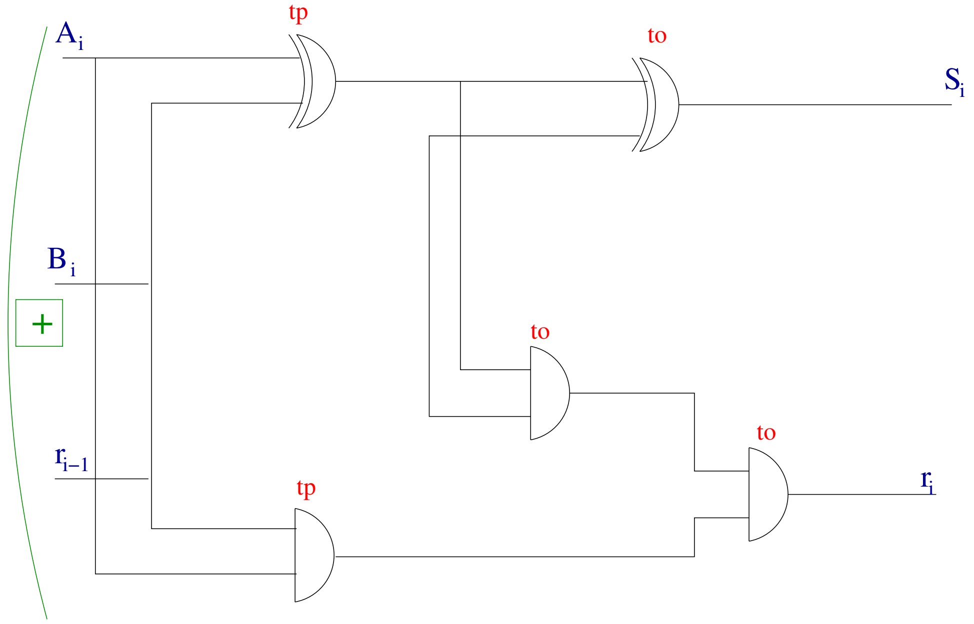
2.5.2 Synthèse

On va simplifier en utilisant des fonctions internes. On trouve alors :

$$r_i = \overline{r_{i-1}}.A_i.B_i + r_{i-1}.\overline{A_i}.B_i + r_{i-1}.A_i.B_i + r_{i-1}.A_i.\overline{B_i}$$

Que l'on peut simplifier en : $r_i = A_i.B_i + r_{i-1}.A_i \oplus B_i$

Schéma d'implantation Voici le schéma d'implantation du circuit de l'additionneur 1 bit :



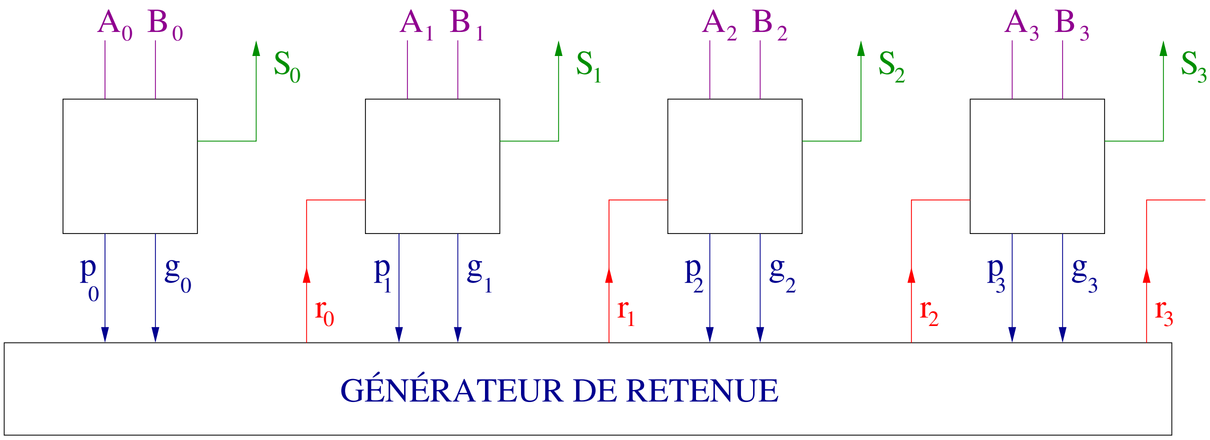
Pour réaliser un additionneur n bits, il suffit alors de mettre en cascade n additionneurs 1 bit. On câble bien entendu la retenu $i-1$ sur le ième additionneur.

2.5.3 Additionneurs à génération anticipée de retenue

On a : $S_i = A_i \oplus B_i \oplus r_{i-1}$ et $r_i = A_i.B_i + r_{i-1}.A_i \oplus B_i$. On pose alors : $g_i = A_i.B_i$ et $p_i = A_i \oplus B_i$.

g_i est le terme de *génération de retenue* et p_i est le terme de *propagation de retenue*. Les g_i et les p_i sont fonctions des seules entrées A_i et B_i.

On utilise alors le principe de fonctionnement su schéma ci-dessous :



Chapitre 3

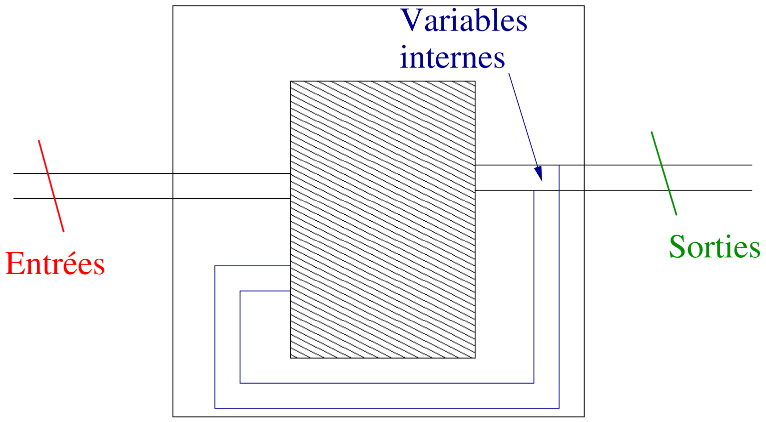
Logique séquentielle

Elle est basée sur les méthodes de la logique combinatoire.

3.1 Sorties

Elles dépendent des entrées et des états précédents du système.

De tels systèmes possèdent des éléments de calculs (combinatoire et mémoires) et une structure en boucle :



3.2 Systèmes synchrones. Systèmes asynchrones

3.2.1 Systèmes synchrones

Dans de tel système, le changement d'état se fait de façon synchrone sur un signal extérieur.

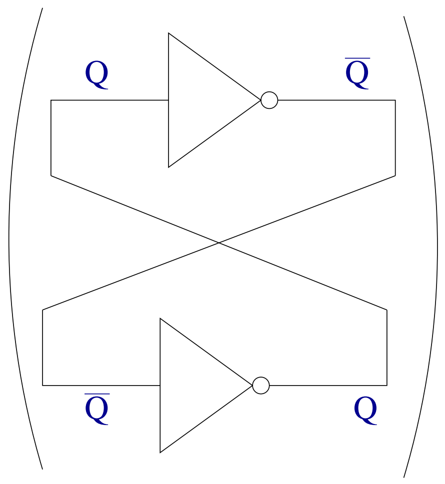
3.2.2 Systèmes asynchrones

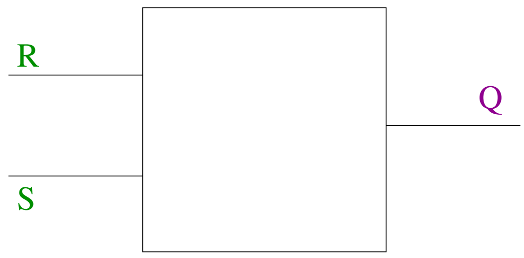
Dans ce cas, le changement d'état se fait de manière spontanée.

3.3 Mémoires élémentaires

Il s'agit de mémoire implantée sous forme de *bascules*. Il existe plusieurs types de bascule et nous allons en étudier certaines.

3.3.1 Bascule RS : système asynchrone





La table de vérité de la bascule RS est la suivante :

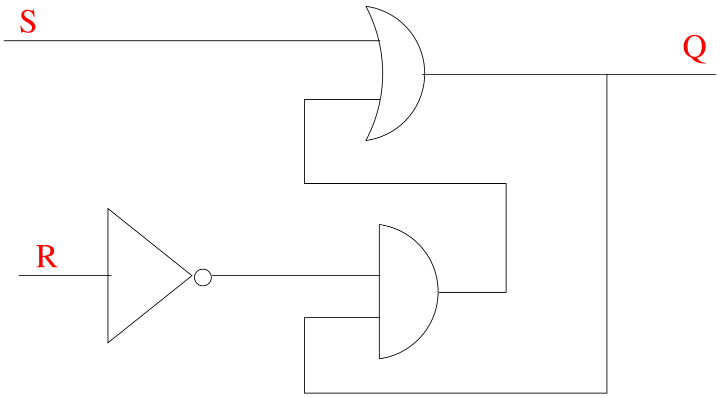
	R_t	S_t	Q_t	Q_{t+1}
mémoire	0	0	1	**1**
mémoire	0	0	0	**0**
reset	1	0	x	**0**
set	0	1	x	**1**
état interdit	1	1	x	?

On écrit la table de Karnaugh pour obtenir l'expression simplifiée donnant Q_{t+1} :

Q_t \ R_tS_t	00	01	11	10
0	0	1	x	0
1	1	1	x	0

On obtient donc : $Q_{t+1} = S_t + \overline{R_t}.Q_t$

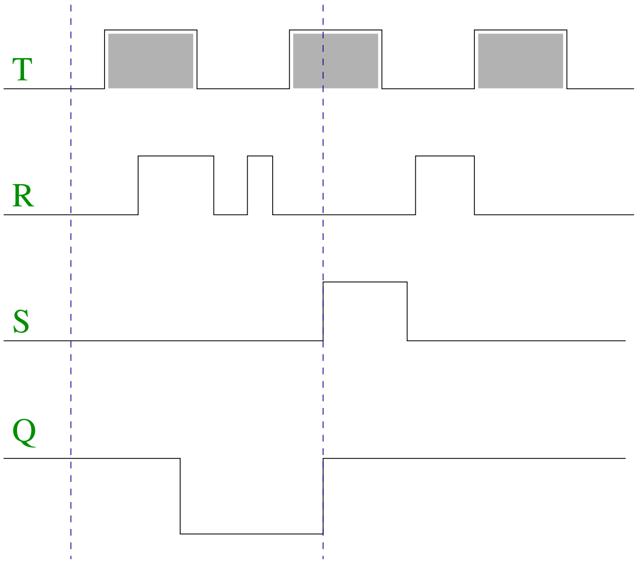
Voici le schéma logique de la porte RS :



Il faut penser à respecter le temps de maintien des entrées. Il est fonction des temps de propagation nécessaire à l'obtention de Q. Dans notre cas, il faut **2 tp**.

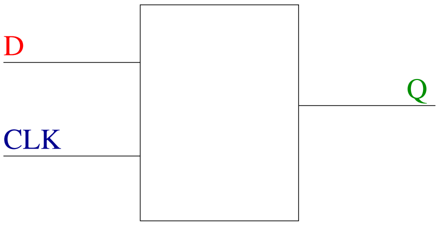
3.3.2 Bascule RST

Elle possède les mêmes fonctions que la bascule RS mais est *synchronisée sur front* :



3.3.3 Bascule D

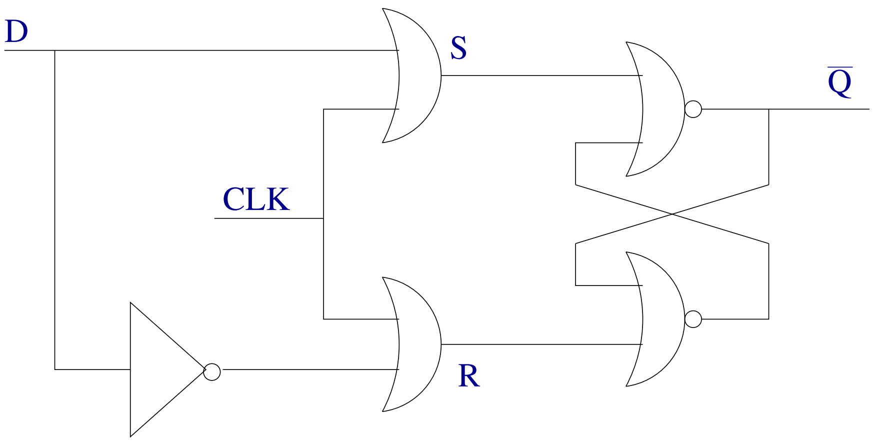
Il en existe deux types, toutes deux synchrones : les *synchrones sur font* ("edge-triggered") et les *synchrones sur niveau* ("latch").



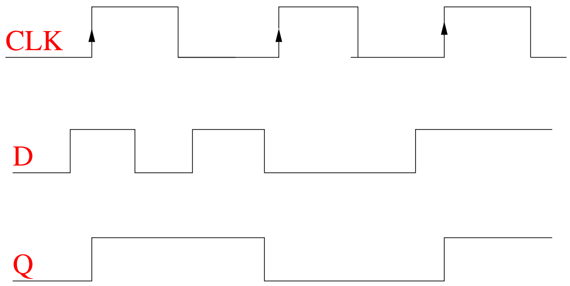
Lorsque CLK est actif, on a la relation : $Q_{t+1} = D_t$. Si on fait l'analogie avec la bascule RS où $Q_{t+1} = S_t + \overline{R_t}.Q_t$, on déduit que pour implanter une bascule D avec une bascule RS il faut : $R = 1$ et $S_t = D_t$.

3.3.3.1 Registre n bits

“latch”



“edge-triggered” $\rightarrow$ mémoire RS et bascule à discrimination de front.

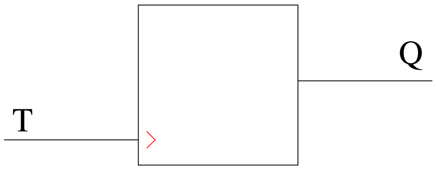


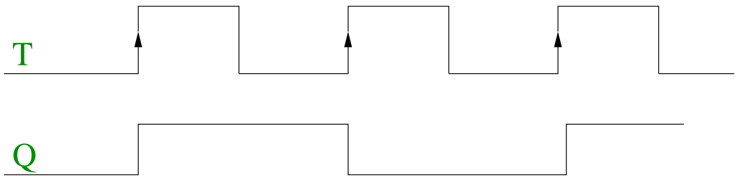
3.3.3.2 Bascules synchrones sur front

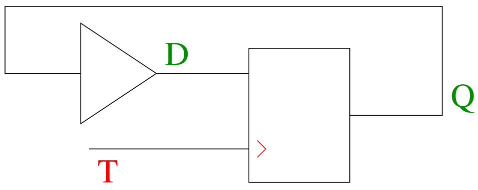
t_{set-up} : temps Δt avant le front de CLK où les entrées doivent être présentées

t_{hold} : temps Δt après le front où les entrées doivent être maintenues

3.3.4 Bascule **T** synchrone sur front (“**toggle**”)





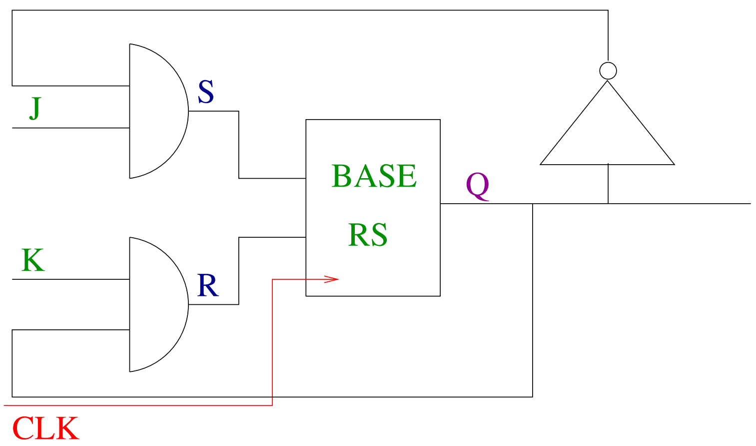


3.3.5 Bascule **JK**

Ce sont des bascules *synchrones sur front* à deux entrées (J et K). La table de vérité de ces bascules est la suivante :

J_t	K_t	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	x	0
1	0	x	1
1	1	0	1
1	1	1	0

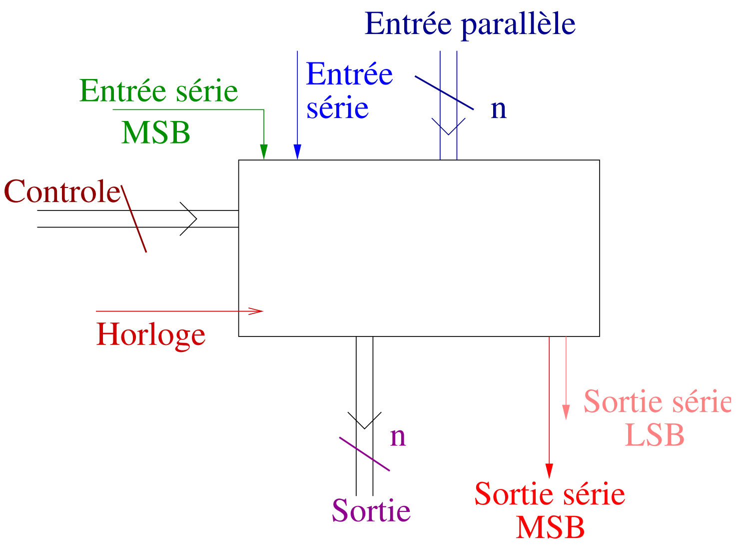
Par analogie avec les bascules RS, on trouve : $S = J.\overline{Q_t}$ et $R = J.Q_t$. Voici donc le schéma logique de la bascule :

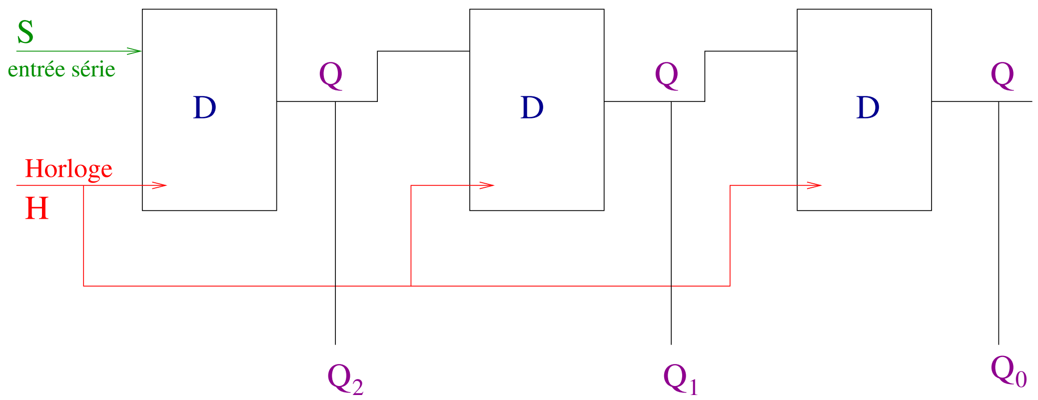


On a la relation : $Q_{t+1} = J.\overline{Q_t} + \overline{K}.Q_t$

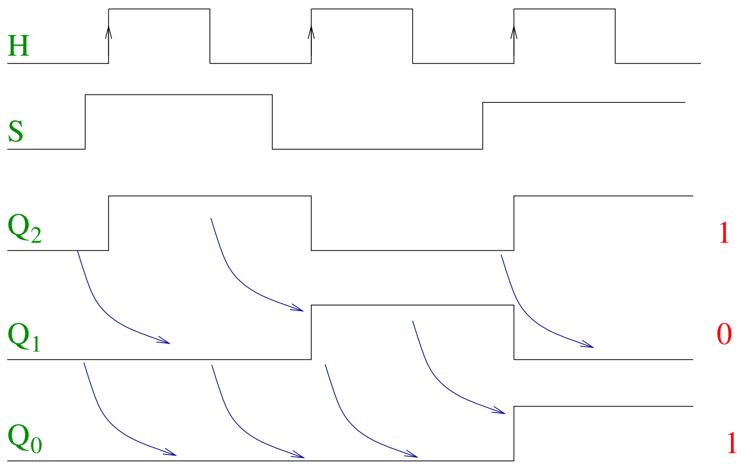
3.4 Registres

Il s'agit de mémoires à n bits constituées de n bascule 1 bit :





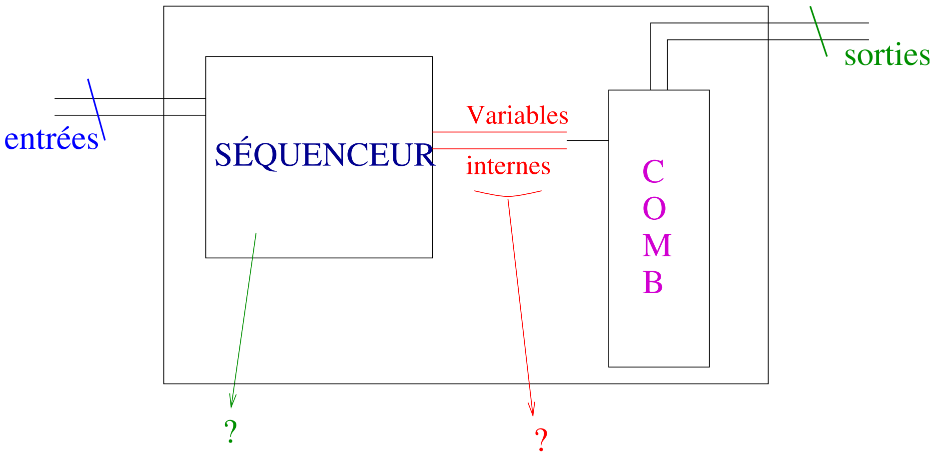
Chargement de “101”



Registre à *entrée série* et à *sortie parallèle* (registre à décalage).

Chapitre 4

Systèmes séquentiels



4.1 Description du séquenceur

C'est un système synchrone d'une horloge h. Le passage d'un état à un autre se fait selon des conditions sur les entrées et/ou variables internes.

A un état donné correspond *un code unique des variables internes*.

A un état donné correspond *une combinaison des sorties* (pour la partie combinatoire).

Un séquenceur est ***l'équivalent d'un compteur synchrone sur front***.

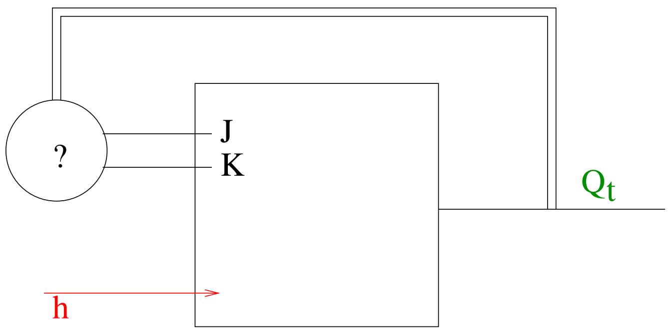
4.2 Compteurs

La séquence des sorties est **prédéfinie**.

Par exemple, pour un *compteur binaire à deux bits*, la séquence des sorties est $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00 \ldots$ Pour le compteur à deux bits, on peut par exemple avoir la séquence $11 \rightarrow 01 \rightarrow 00 \rightarrow 11$, c'est à dire un compteur à trois états.

4.2.1 Méthode de synthèse d'un compteur synchrone à base de bascules JK

Méthode de Marcus



Il s'agit de déterminer Q_{t+1} en fonction de Q_t, supposé connu.

On a la table suivante :

Q_t	Q_{t+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

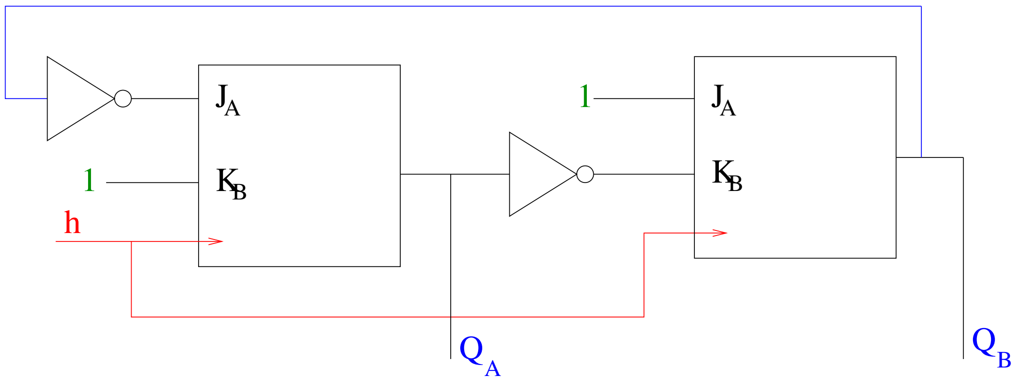
On sait de plus[1] que $Q_{t+1} = J.\overline{Q_t} + \overline{K}.Q_t$.

On va réaliser le compteur de la séquence $11 \rightarrow 01 \rightarrow 00$. On écrit les deux tables (il y a deux bascules nécessaires, car on a trois états).

Ensuite, on écrit les tables de Karnaugh pour J_A, J_B, K_A et K_B. On trouve alors : $J_A = \overline{Q_B}$, $K_A = 1$, $J_B = 1$ et $K_B = \overline{Q_A}$.

[1] Voir la section `3.3.5` sur la bascule JK

On a donc le schéma logique suivant pour notre compteur :



4.2.2 Méthode de synthèse d'un compteur synchrone (à partir de bascule D)

On écrit les tables de Karnaugh pour Q_A et Q_B (même séquence que dans la section précédente) :

$Q_{A,t+1}$

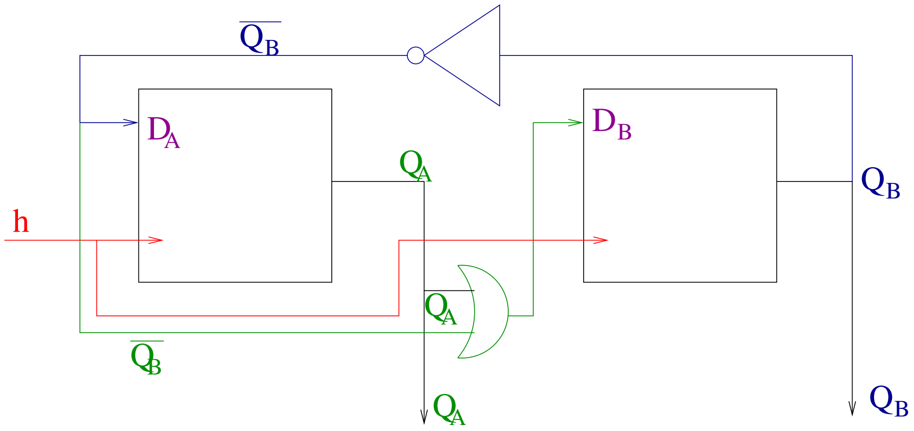
	0	1
0	1	0
1	$\emptyset$	0

$Q_{B,t+1}$

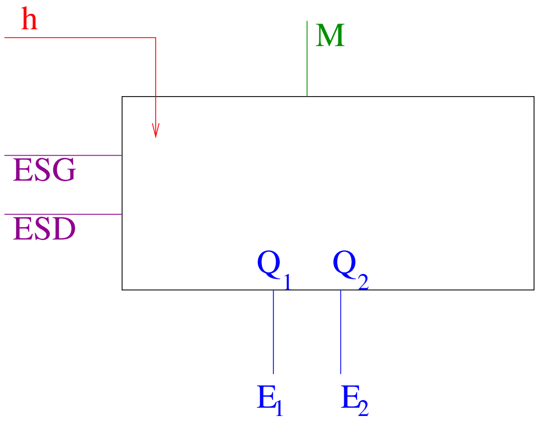
	0	1
0	1	0
1	$\emptyset$	1

Ce qui permet de déduire : $Q_{A,t+1} = \overline{Q_{B,t}}$ et $Q_{B,t+1} = \overline{Q_{B,t}} + Q_{A,t}$

Reste maintenant à assimiler f_1 et f_2 à l'équation de la bascule considérée. Pour la bascule D on a : $Q_{t+1} = D_t$. D'où le schéma logique suivant :



4.3 Registre à décalage



M est le mode. Si $M = 1$, le décalage à lieu à **droite**. Si $M = 0$, le décalage se fait à **gauche**. Il y a deux entrées séries : ESD (Entrée Série Droite) et ESG (Entrée Série Droite).

Deuxième partie

Électronique analogique

Chapitre 5

Rappels sur les semi-conducteurs

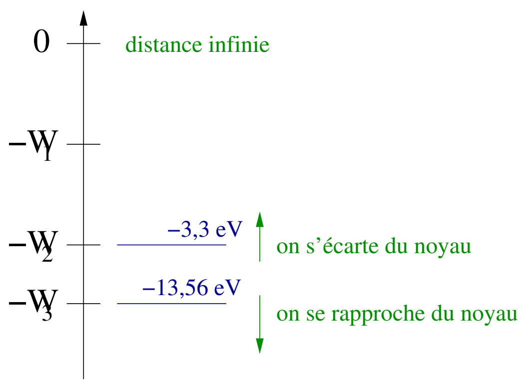
5.1 Liaison covalente

En électronique, on s'intéresse principalement aux éléments des colonnes `III, IV` et `V` du tableau de la classification périodique.

Exemple d'atome à 4 liaisons de covalence : C, Si, Ge.

5.2 Niveaux énergétiques d'un atome isolé

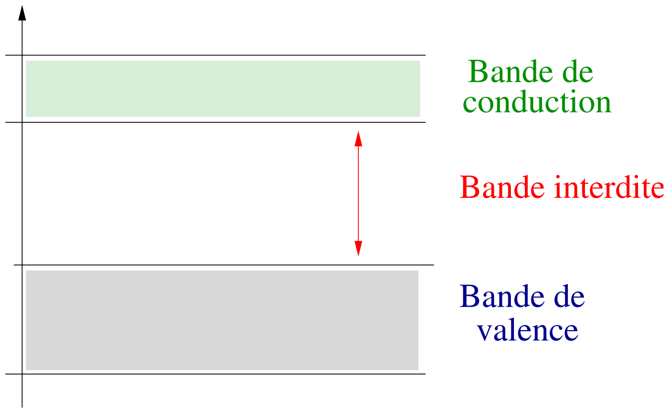
Le niveau 0 correspond à un atome situé à l'infini par rapport à l'observateur.



5.3 Bande d'énergie

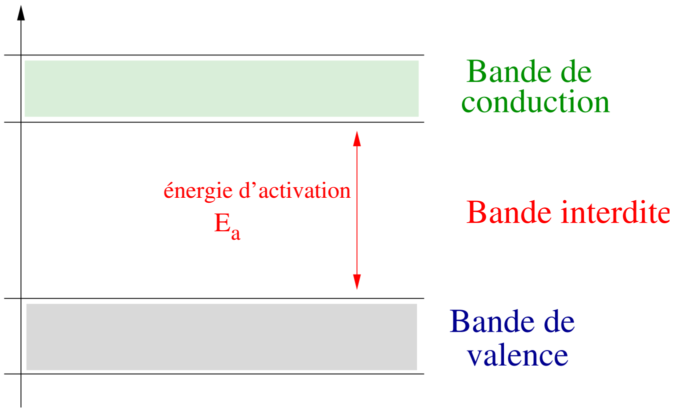
On a affaire non pas à des niveaux d'énergie discrets, mais à des bandes de niveaux énergétiques.

5.3.1 Cas d'un solide

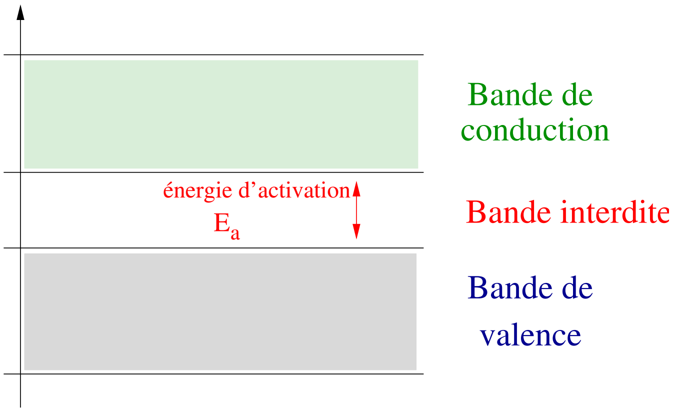


5.3.2 Cas d'un isolant. Cas d'un conducteur

Isolant



Conducteur



5.3.3 Semi-conducteur intrinsèque

ΔE_a est appelée énergie d'activation. C'est l'énergie nécessaire à un électron (e^-) pour *passer de la bande de valence à la bande conduction*. Pour le carbone, on a par exemple $\Delta E_a = 7eV$.

Il existe une formule qui donne le nombre moyen n d'électrons présents dans la bande de conduction : $n = n_0 \cdot \mathbf{e}^{-\frac{W}{k \cdot T}}$. Ce nombre n est très proche du nombre p qui caractérise le nombre de *"trous"* de la bande de valence.

Un semi-conducteur intrinsèque est en réalité un conducteur dopé.

Semi conducteur de type N

On utilise un élément dopant de la colonne `V` du tableau périodique : l'arsenic (AS) ou le silicium (Si). Par exemple, l'arsenic possède 5 électrons de valence : il y a donc un électron de libre.

On a la relation : $N = n_d + p$, où p est le nombre de trous de la bande de valence et n_d le nombre d'électrons de la bande de covalence.

Remarquer que l'on a toujours $p \ll n$.

Semi conducteur de type P

On prend cette fois des éléments de la colonne `III` du tableau périodique. L'indium (In) par exemple. Il possède 3 électrons de valence : on a donc créer un "trou" (plus exactement on crée un défaut d'électron).

On a ici la relation : $n = N_a + p$ avec $N_a \gg n$ et $p \simeq N_a$.

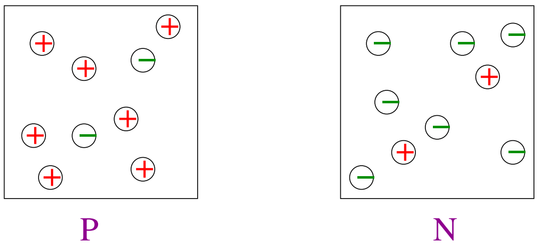
Chapitre 6

Jonction PN. Diode à jonction

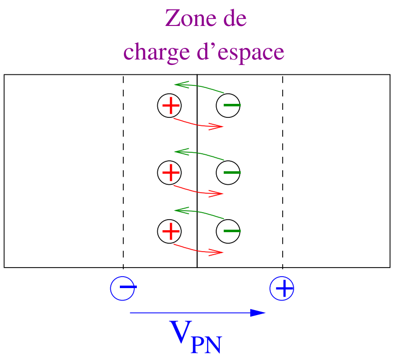
On va étudier la jonction PN à l'équilibre

6.1 Mouvement des charges

Avant mise en contact

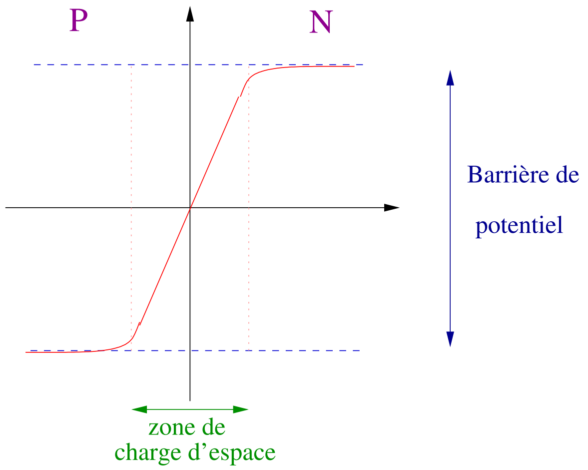


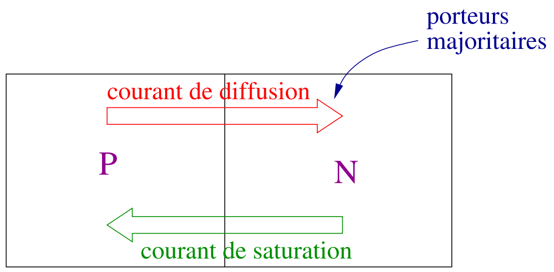
Après mise en contact



Il y a création d'une charge positive du côté N (défaut d'électrons) et d'une charge positive du côté P (excès d'électrons). Le potentiel V_{PN} est donc négatif du côté P.

Il existe ainsi un champ électrique $\vec{E}$. Ce champ aboutit à **un état d'équilibre**.

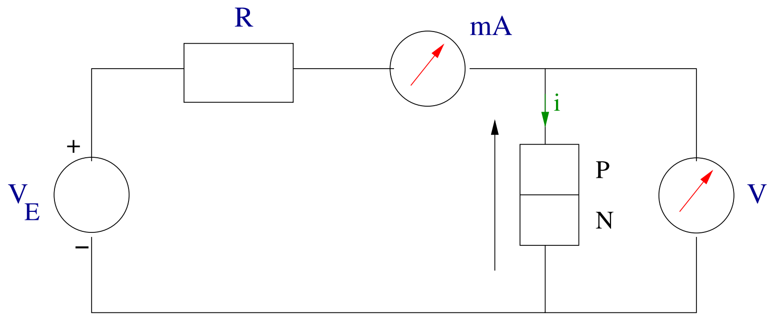




Le mouvement des minoritaires est favorisé par l'orientation du champ $\vec{E}$: les électrons migrent de P vers N et les charges positives migrent de N vers P.

6.2 Jonction **PN** dans un circuit comportant un générateur de tension

6.2.1 Sens passant

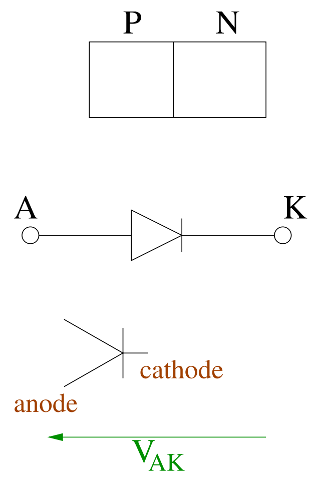


La diffusion des majoritaires devient beaucoup plus importantes. La diffusion des minoritaires reste quasiment identique. Le courant qui traverse la diode augmente ($V_{PN} \simeq 1V$).

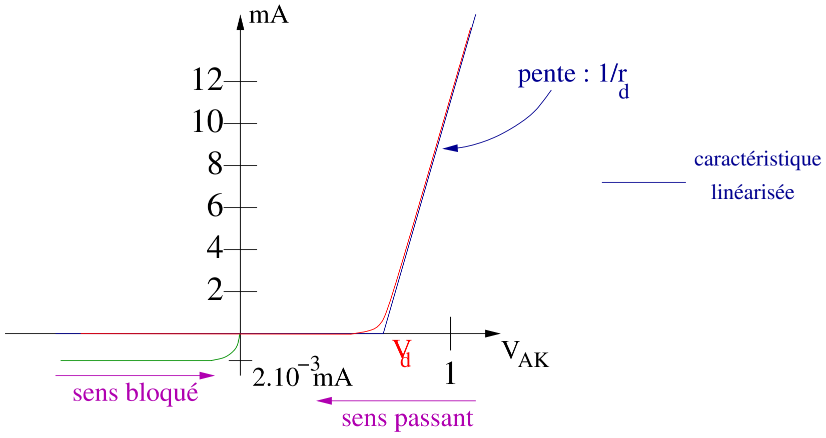
6.2.2 Sens bloquant

Le sens du courant est ici inversé (courant i du schéma précédent). On rajoute donc une barrière de potentiel supplémentaire. Le courant de saturation reste le même, mais il n'y a plus de courant de jonction.

6.3 Représentation symbolique de la diode à jonction



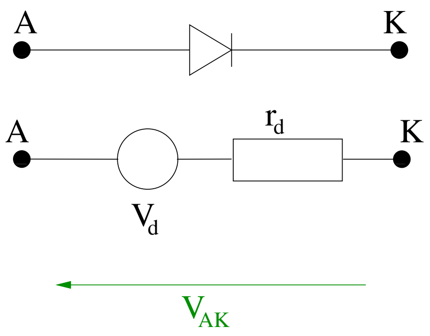
6.4 Caractéristique d'une diode à jonction



On appelle la tension v_d ***tension de seuil***.

6.5 Schéma équivalent

6.5.1 Diode conductrice



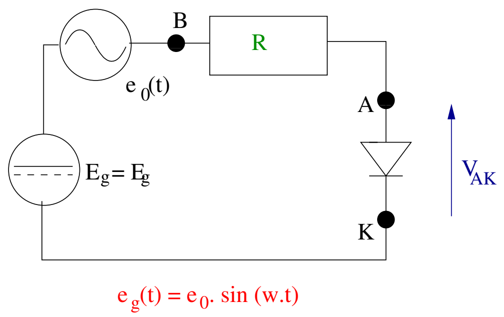
On a : $v_d \simeq \pm 0,6$.

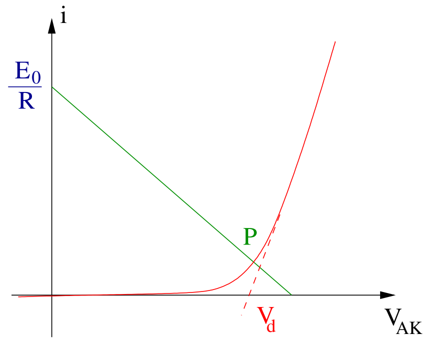
6.5.2 Diode bloquée

Dans ce cas, on a $r_d \simeq 1M\Omega$. On se trouve donc devant une résistance "infinie". La diode est équivalente à un interrupteur ouvert.

6.6 Utilisation de la diode en régime linéaire

Point de fonctionnement statique





Fonctionnement statique

On court-circuite $e_g(t)$. On obtient donc : $E_0 = R.i_{AK} + v_{AK}$. On en déduit alors : $v_{AK} = E_0 - R.i_{AK}$.

Il vient alors immédiatement que : $v_{AK} = E_0 \Rightarrow i_{Ak} = 0$ et que $v_{AK} = 0 \Rightarrow i_{AK} = \dfrac{E_0}{R}$

Régime dynamique (Ce régime correspond à la région autour du point P du diagramme de la page précédente)

On court-circuite cette fois le générateur E_0. On note r_D la résistance dynamique équivalente à la diode[1] : $r_D = \dfrac{\partial V}{\partial i}$.

On obtient donc : $i_{AK} = \dfrac{e_g(t)}{R + r_D} = \dfrac{e_0.sin(\omega t)}{R + r_D}$

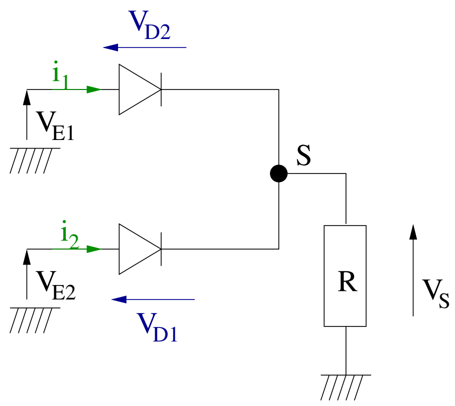
Au final, on a donc :

$$i_{AK}(t) = i_{AK,0} + \frac{e_0.sin(\omega t)}{R + r_D}$$

6.7 Utilisation des diodes en électronique numérique

6.7.1 Porte OU

Voici le schéma électronique de la porte :



[1] **Autour de** P

Diodes bloquées

Les deux diodes sont équivalentes à deux impédances infinies : $V_S = 0$ (et $i = 0$). On est à **l'état bas**.

D_1 **conductrice,** D_2 **bloquée**

D_1 est alors équivalente à un générateur de tension (V_d) et une résistance (r_d) en série.

On a alors : $V_{E_1} - V_d = (r_d + R).i$ et $V_S = R.i_1$. Or, D_1 commence à conduire le courant si $V_{E_1} = V_d$. Donc, dans notre cas, $V_{E_1} > V_d$.

Si $V_{E_1} \equiv$ "1", D_1 est conductrice. Donc :

$$V_S = (V_{E_1} - V_d)\frac{R}{R + r_d} \equiv \text{“}1\text{''}$$

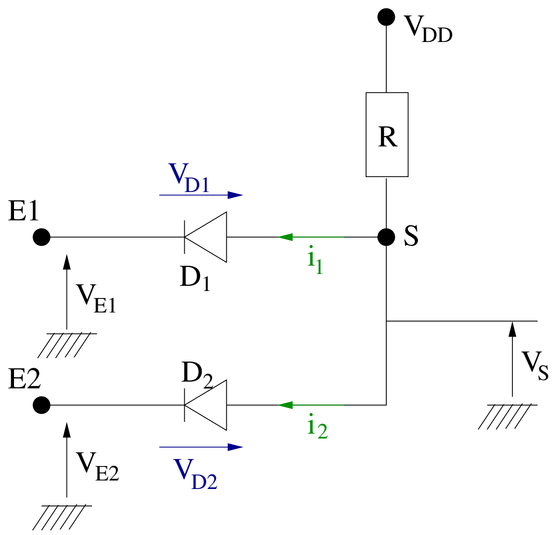
On est à **l'état haut**.

D_1 **bloquée,** D_2 **conductrice**

Les calculs sont similaires au cas précédent : on est à **l'état haut**.

6.7.2 Porte ET

Voici le schéma électronique de la porte :



Diodes bloquées

On a alors : $V_S \equiv$ "$1''$. On est dans **l'état haut**.

D_1 conductrice, D_2 bloquée

Comme dans le cas de la porte OU, la diode D_1 est équivalente à un générateur de tension (V_d) branché en série avec une résistance (r_d).

On a alors : $V_{DD} = R.i_1 + V_d + r_d.i_1 + E_1$ et $(R + r_d).i_1 = V_{DD} - V_d - V_{E_1}$.

D_1 devient conductrice lorsque $V_{E_1} = V_{DD} - V_d$. Donc, si V_{E_1} diminue, D_1 est conductrice.

Ainsi, si $V_{E_i} \equiv$ "$1''$, la diode D_i est bloquée. Et si $V_{E_i} \equiv$ "$0''$ la diode D_i est passante. On a donc la table de vérité suivante :

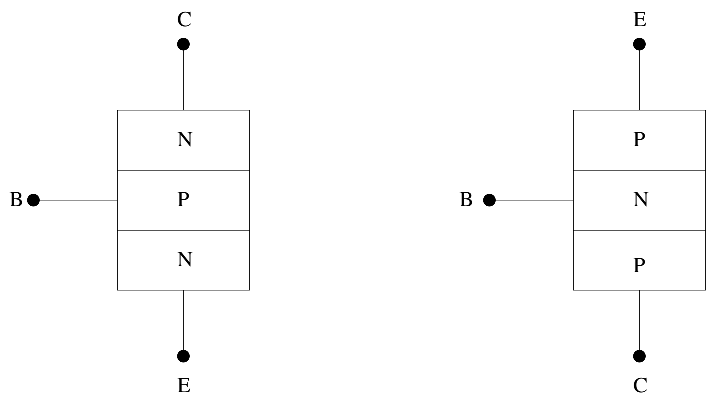
V_{E_1}	V_{E_2}	V_S
1	1	1
1	0	0
0	1	0
0	0	0

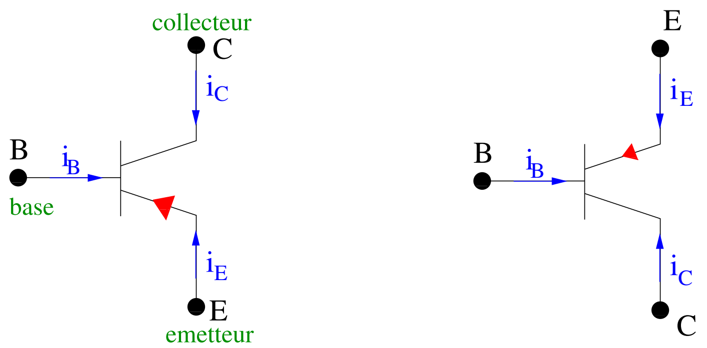
Chapitre 7

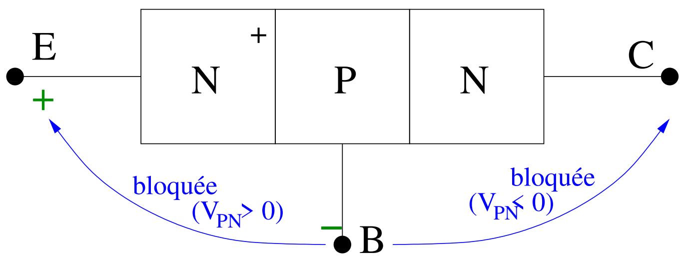
Le transistor à jonction

7.1 Généralités

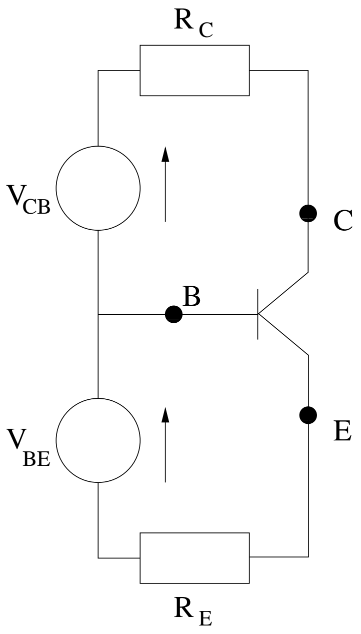
Il est apparu pour la première fois vers 1948 et est encore actuellement utilisé. Il en existe deux types : NPN et PNP.





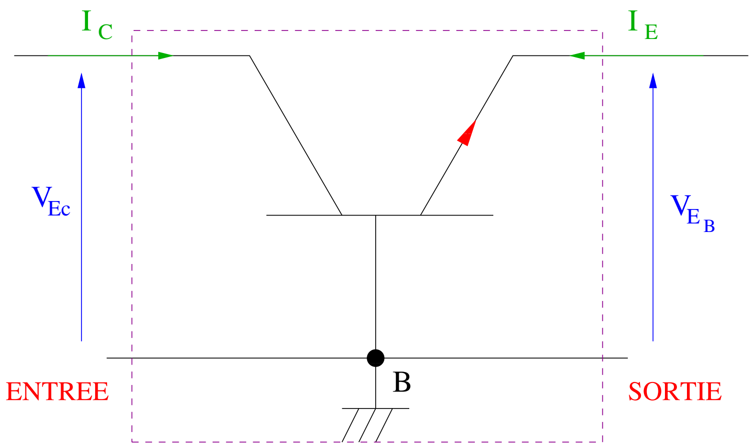


7.2 Polarisation du transistor

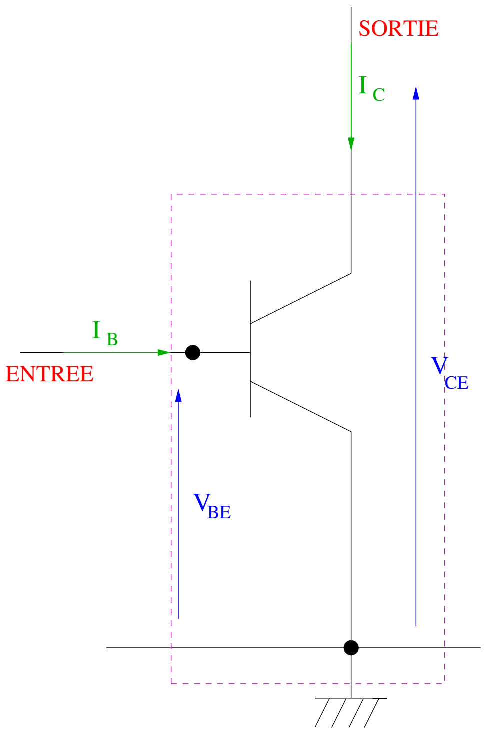


7.3 Réseaux de caractéristiques du transistor NPN

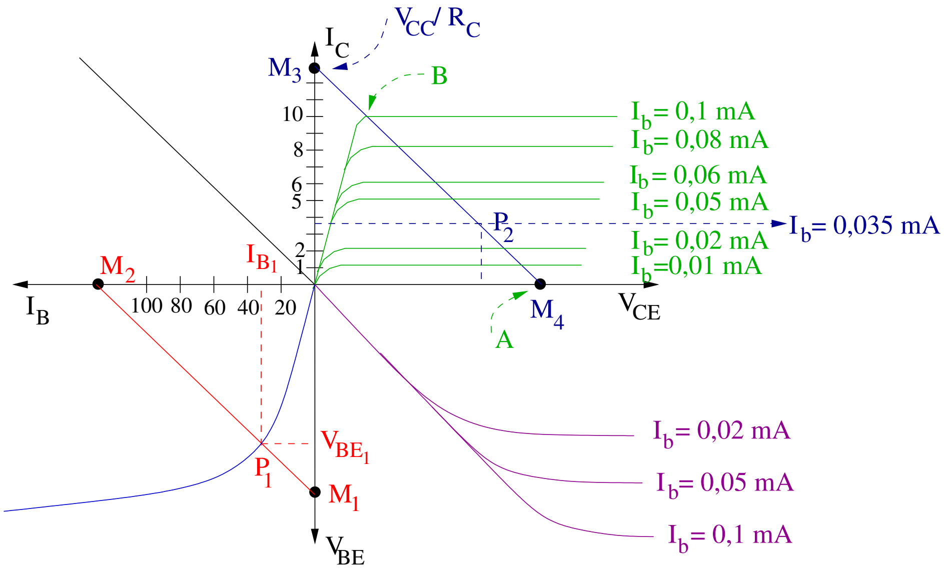
Montage en *base commune*



Montage en *émetteur commun*

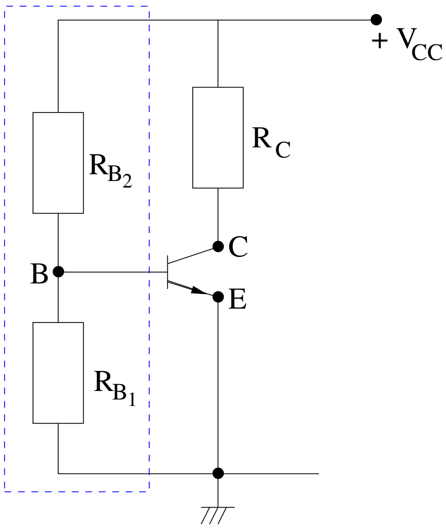


Réseau de caractéristique en émetteur commun

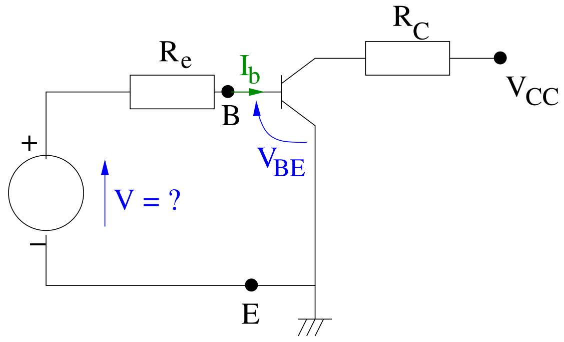


P_1 est le point de fonctionnement. Les points M_1 et M_2 sont des points dont les coordonnées sont été calculées dans la section suivante. De même pour les autres points, ils seront calculés dans la section suivante.

7.4 Polarisation du transistor en régime linéaire et montage émetteur commun



7.4.1 Équation de la droite d'attaque



On a : $V = \dfrac{V_{CC}R_{B_1}}{R_{B_1}+R_{B_2}}$ et $R_e = \dfrac{R_{B_1}R_{B_2}}{R_{B_1}+R_{B_2}}$

On sait de plus : $V = R_e.I_b + V_{BE}$.

On en déduit ainsi : $V_{BE} = \dfrac{V_{CC}R_{B_1}}{R_{B_1}+R_{B_2}} - I_b\dfrac{R_{B_1}R_{B_2}}{R_{B_1}+R_{B_2}}$

$\Rightarrow$ La droite est donc dans le plan $I_b = f(V_{BE})$. On calcule deux points de cette droite, soit M_1 (sur l'axe $I_b = 0$) et M_2 (sur l'axe $V_{BE} = 0$).

On calcule facilement les coordonnées manquantes : $M_1\left(0, \dfrac{V_{CC}R_{B_1}}{R_{B_1}+R_{B_2}}\right)$ et $M_2\left(\dfrac{V_{CC}R_{B_1}}{R_{B_1}R_{B_2}} = \dfrac{V_{CC}}{R_{B_2}}, 0\right)$.

7.4.2 Équation de la droite de charge

On a : $V_{CC} = R_C I_C + V_{CE}$. Ce qui permet de déduire : $V_{CE} = V_{CC} - R_C I_C$

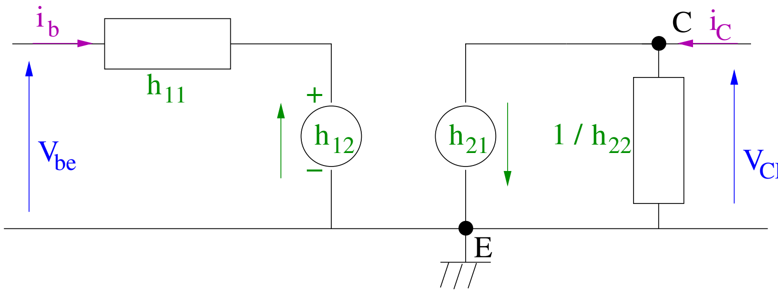
$\Rightarrow$ La droite est dans le plan (I_C, V_{CE})

Soient M_3 (sur l'axe V_{CE}) et M_4 (sur l'axe I_C) deux points de la droite. On calcule les coordonnées manquantes et on trouve : $M_3\left(\dfrac{V_{CC}}{R_C}, 0\right)$ et $M_4(0, V_{CC})$.

7.4.3 Schéma dynamique équivalent autour du point de fonctionnement

Remarque On parle parfois aussi de "schéma aux variations".

Le schéma équivalent recherché est le suivant :



matrice H : $\begin{pmatrix} v_{be} \\ i_C \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \cdot \begin{pmatrix} i_b \\ v_{CE} \end{pmatrix}$

On en déduit : $\begin{matrix} v_{be} = h_{11} i_b + h_{12} v_{CE} \\ i_C = h_{21} i_b + h_{22} v_{CE} \end{matrix}$

On a : $\begin{matrix} \Delta V_{BE} = h_{11} \Delta I_B + h_{12} \Delta V_{CE} \\ \Delta I_C = h_{21} \Delta I_B + h_{22} \Delta V_{CE} \end{matrix}$

Soit donc : $\left(h_{11} = \dfrac{\Delta V_{BE}}{\Delta I_B}\right)_{\Delta V_{CE}=0}$, $\left(h_{12} = \dfrac{\Delta V_{BE}}{\Delta V_{CE}}\right)_{\Delta I_B=0}$, $\left(h_{21} = \dfrac{\Delta I_C}{\Delta I_B}\right)_{\Delta V_{CE}=0}$ et $\left(h_{22} = \dfrac{\Delta I_C}{\Delta V_{CE}}\right)_{\Delta I_B=0}$

7.5 Utilisation du transistor en commutation

7.5.1 Point de fonctionnement

7.5.1.1 Transistor bloqué

On note β le gain en courant statique. Le point A du diagramme est caractérisé par : $I_B = 0$ et donc : $I_C + \beta I_b = 0$

7.5.1.2 Transistor saturé

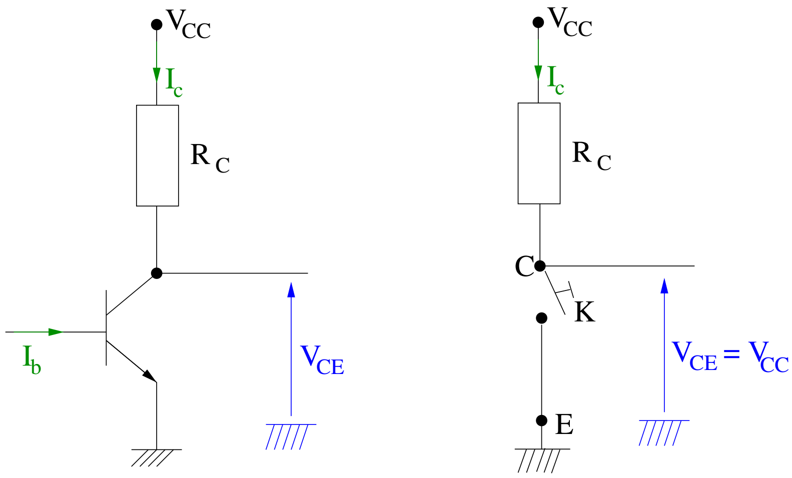
C'est le point B du diagramme, caractérisé par $I_{C,SAT}$, $V_{C,SAT} \simeq 0,1V$ et $I_b > \dfrac{I_{C,SAT}}{\beta}$

7.5.2 Schéma équivalent au transistor bloqué

On a dans ce cas $I_b = 0$. Donc : $I_c = \beta I_b = 0$

Ainsi : $V_{CE} = +5V$

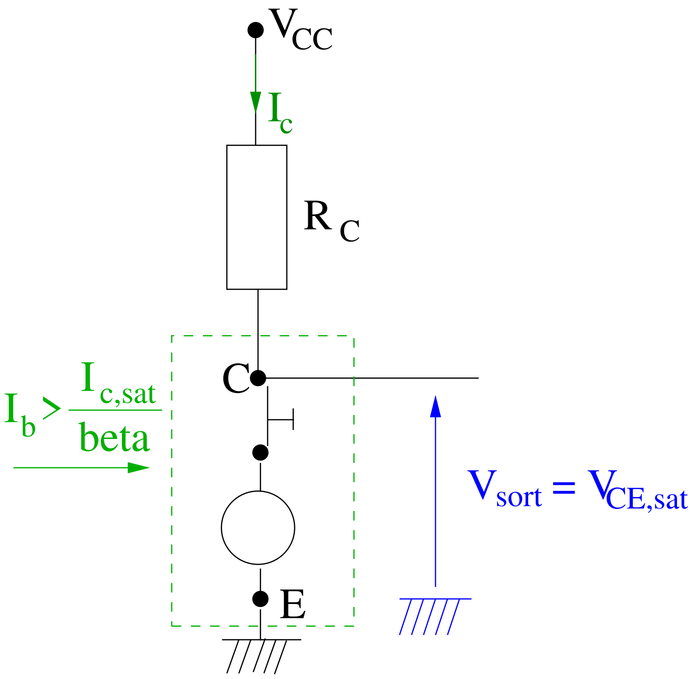
Voici le schéma électronique équivalent :



7.5.3 Schéma équivalent au transistor saturé

On a : $I_b > \dfrac{I_{c,sat}}{\beta}$ et $V_{CE} \simeq 0,1$ ou $0,2V$

Dans le schéma équivalent, l'interrupteur K est désormais **fermé** :

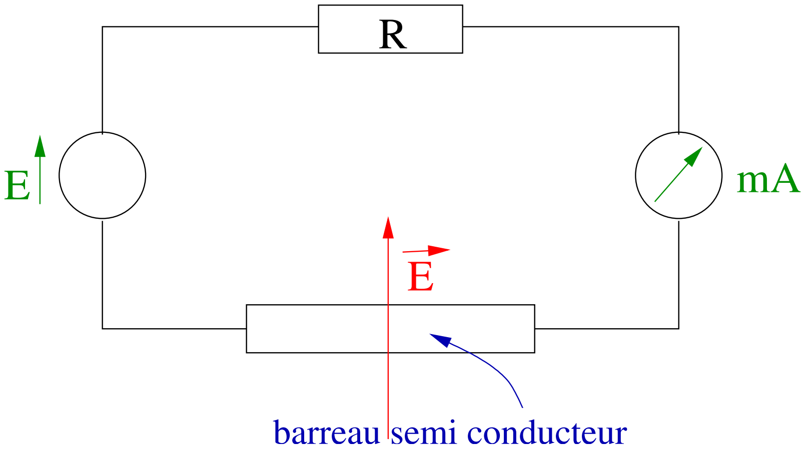


Chapitre 8

Transistor à effet de champ et à jonction (JFET)

8.1 Généralité : l'effet de champ

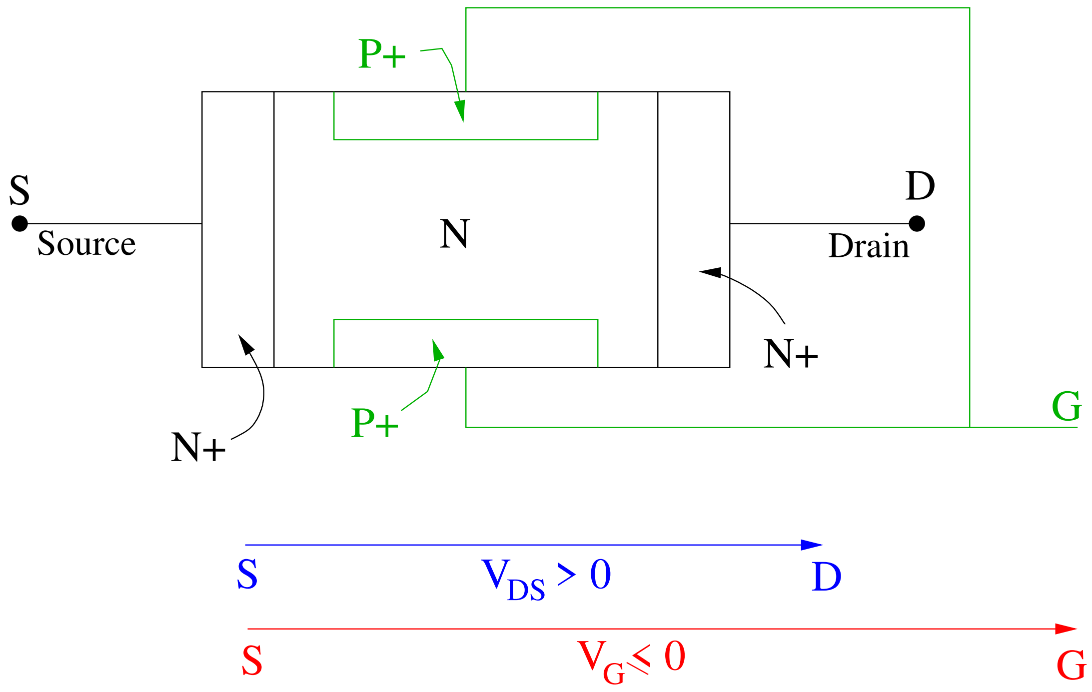
Cet effet fut découvert en 1928 par Lilianfeld :



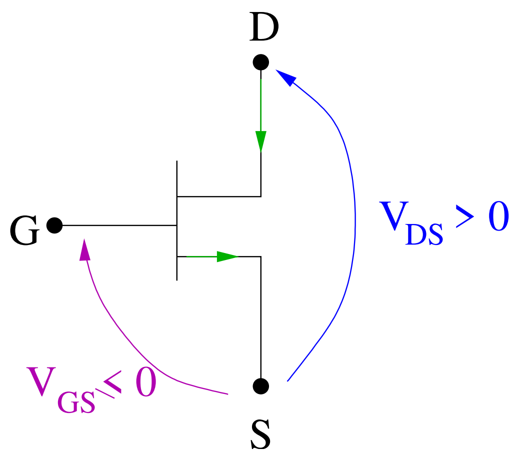
Plus la norme du champ $\vec{E}$ augmente (*i.e.* plus $||\vec{E}||$ augmente), plus le courant passant dans la résistance R diminue.

8.2 Principe du transistor JFET

8.2.1 JFET canal N



Voici le schéma électronique du transistor JFET :



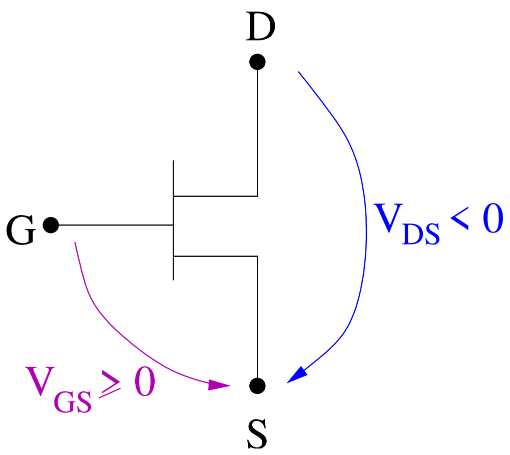
Si $V_{GS} = 0$ et $V_{DS} > 0$, on a alors : $I_{DS} \geqslant 0 \equiv I_{DS,max}$.

Si $V_{GS} < 0$ et $V_{DS} > 0$, on alors : $|V_{DS}|$ augmente et I_D diminue. En effet, si $V_{PN} < 0$, on crée une zone de champ qui diminue le canal au fur et à mesure.

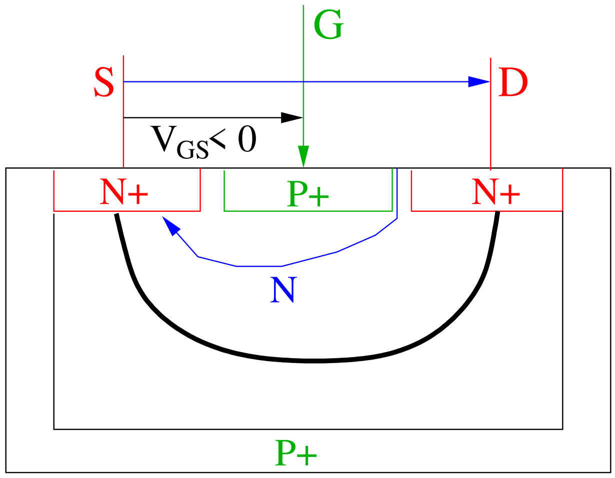
8.2.2 Transistor JFET canal P

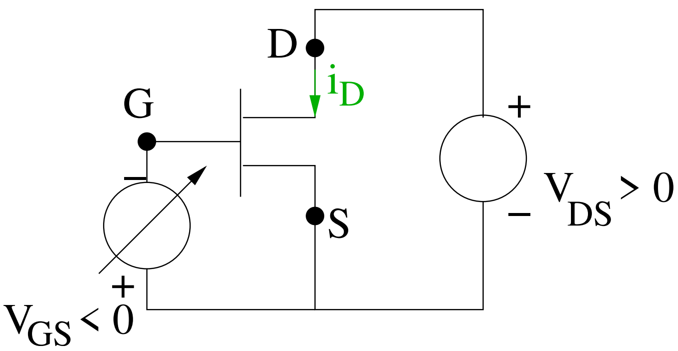
Le schéma est le même que pour le canal N, en inversant les zones N et P.

On a alors cette fois $V_{DS} < 0$ et $V_{GS} \geqslant 0$.

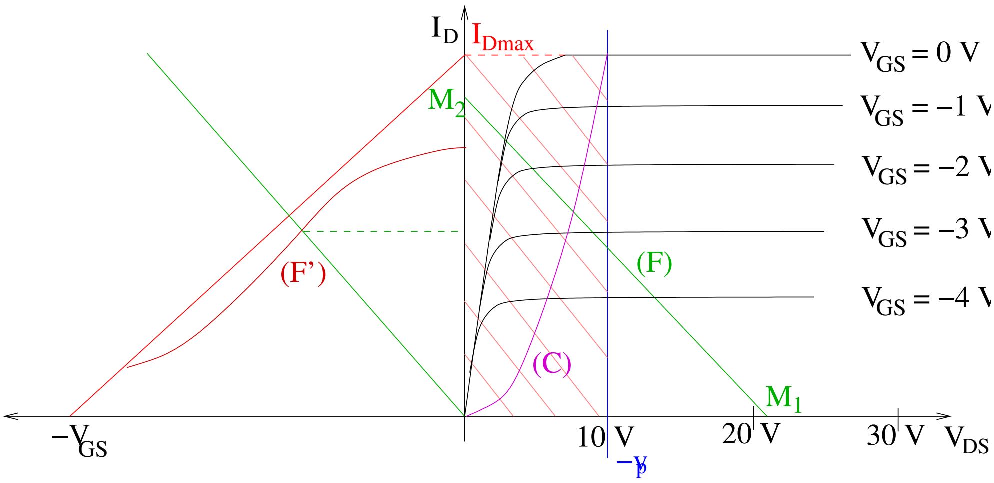


8.2.3 Fonctionnement du JFET canal N





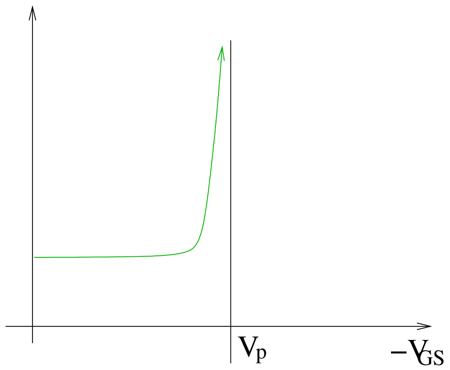
8.3 Caractéristique courant-tension (I-V) du transistor JFET



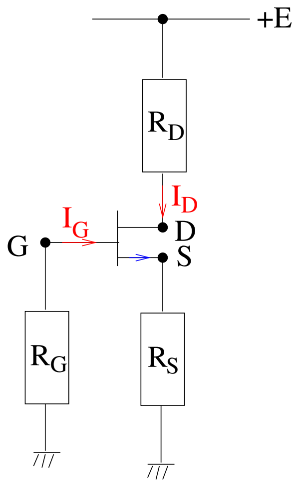
V_p désigne la tension de pincement. La région hachurée est appelée *région ohmique*.

On va calculer l'équation de la courbe $\mathcal{C}$. On a : $I_{DS} = I_{D,max}\left(\frac{V_{DS}}{V_p}\right)^2$.

Dans la région ohmique, le transistor peut être assimilé à une résistance équivalente qu'on note $R_{DS,(on)}$. La caractéristique de cette résistance est la suivante :



8.4 Polarisation du **JFET** en régime linéaire



Lorsque $I_G = 0$, la résistance $R_{entrée}$ sur la grille d'entrée en très grande.

Équation de la droite d'attaque (entrée)
$V_{GM} = -R_G.I_G = 0$ et $0 = V_{GS} + V_{SM} \Rightarrow V_{GS} = -R_S.I_D$

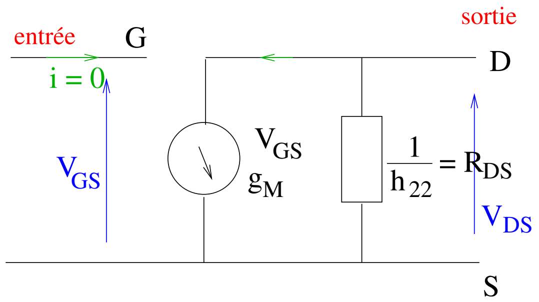
On a donc l'équation d'une droite dans la le réseau $I_D = f(V_{GS})$ et qui passe par l'origine.

Équation de la droite de charge (sortie)
$E = V_{DS} + (R_D + R_S).I_D \Rightarrow V_{DS} = E - (R_D + R_S).I_D$

C'est l'équation d'une droite dans le réseau (I_D, V_{DS}). Elle passe par les points M_1 et M_2 de coordonnées : $M_1\,(0, E)$ et $M_2\left(\dfrac{E}{R_D + R_S}, 0\right)$. La droite de charge est la droite (F) du schéma précédent.

La droite (F') est l'image de (F) dans le plan $(-V_{GS}, I_D)$.

Schéma dynamique



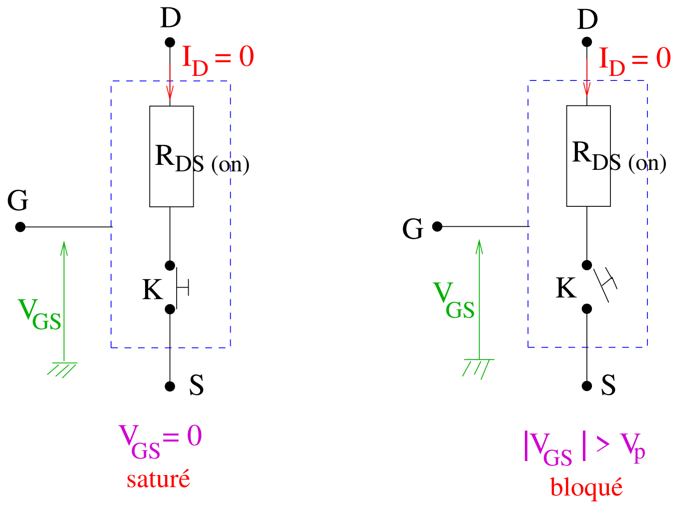
On note g_m la *transconductance*.

A l'entrée on à : $i.g = 0$ et en sortie : $i_D = g_M.V_{GS} + h_{2,2}.V_{DS}$. On en déduit donc : $g_M = \left(\dfrac{i_D}{V_{GS}}\right)_{V_{DS}=0} \Rightarrow g_M = \left(\dfrac{\Delta i_D}{\Delta V_{GS}}\right)_{\Delta V_{DS}=0}$

8.5 Utilisation du transistor **JFET** en commutation

On étudie le cas : $\begin{cases} V_{GS} = 0 & \rightarrow \; \textcolor{red}{\textit{saturation}} \\ \textit{ou} & \\ |V_{GS}| \gg V_p & \rightarrow \; \textcolor{red}{\textit{blocage}} \end{cases}$

Voici les schémas équivalents :

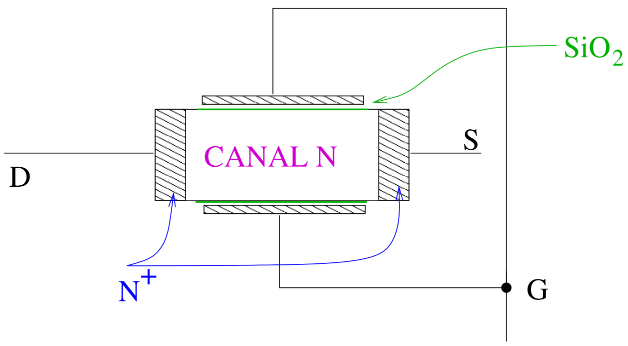


Chapitre 9

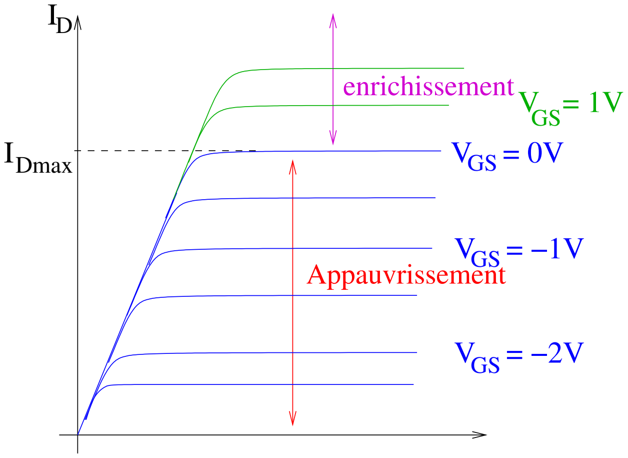
Transistor à effet de champ, à grille isolée (MOSFET)

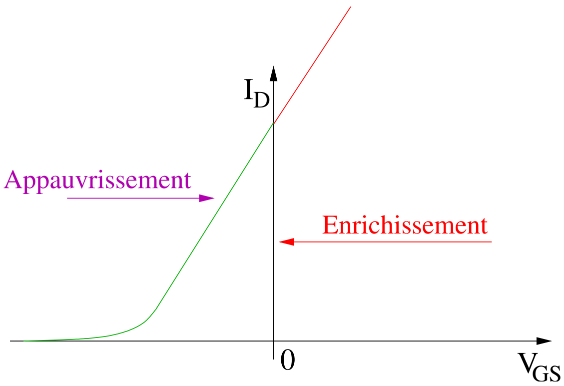
9.1 Transistor MOSFET à canal initial

9.1.1 Principe

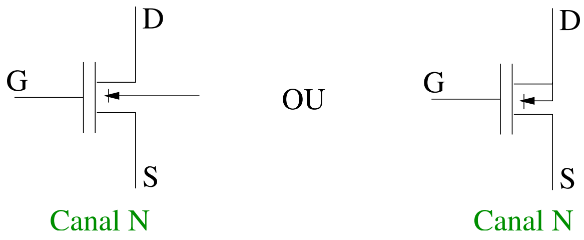


9.1.2 Caractéristique courant/tension $(I.V)$



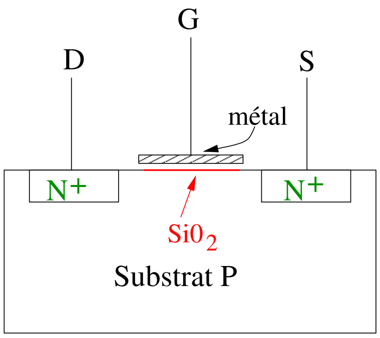


Symbole du transistor :

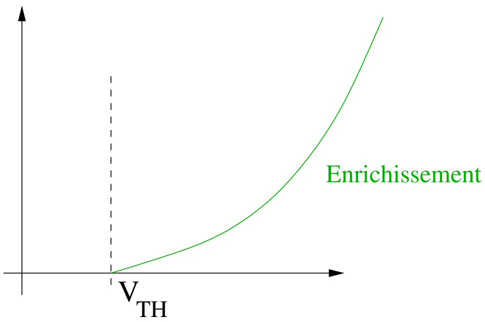


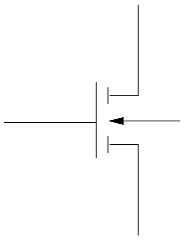
9.2 Transistor MOSFET à canal induit

9.2.1 Principe



9.2.2 Caractéristique





9.3 Comparaisons

<u>**Impédances d'entrée**</u> :

- JFET $\rightarrow \simeq 10^9\Omega$
- MOS $\rightarrow \simeq 10^{13}$ à $10^{15}\Omega$

<u>**Couche d'isolant**</u> : très fine (qqs dizaines d'angstroem)

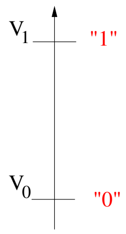
Les transistors MOS permettent de faire des circuits intégrés à grande échelle.

Chapitre 10

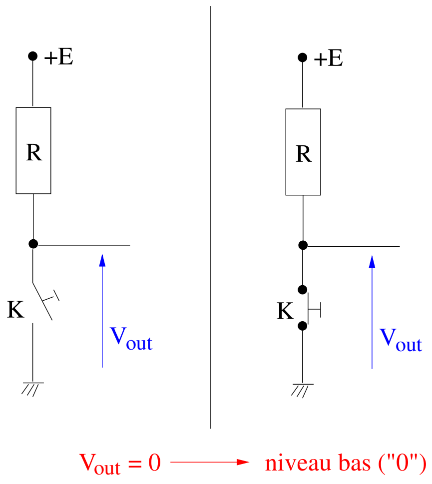
Circuits intégrés logiques

10.1 Niveaux logiques. Logique positive et négative

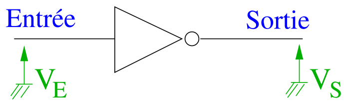
"0" est dit *niveau bas* et "1" est dit *niveau haut*.



10.2 Circuit binaire



10.3 Graphe de transfert d'un inverseur



10.4 FAN in et FAN out

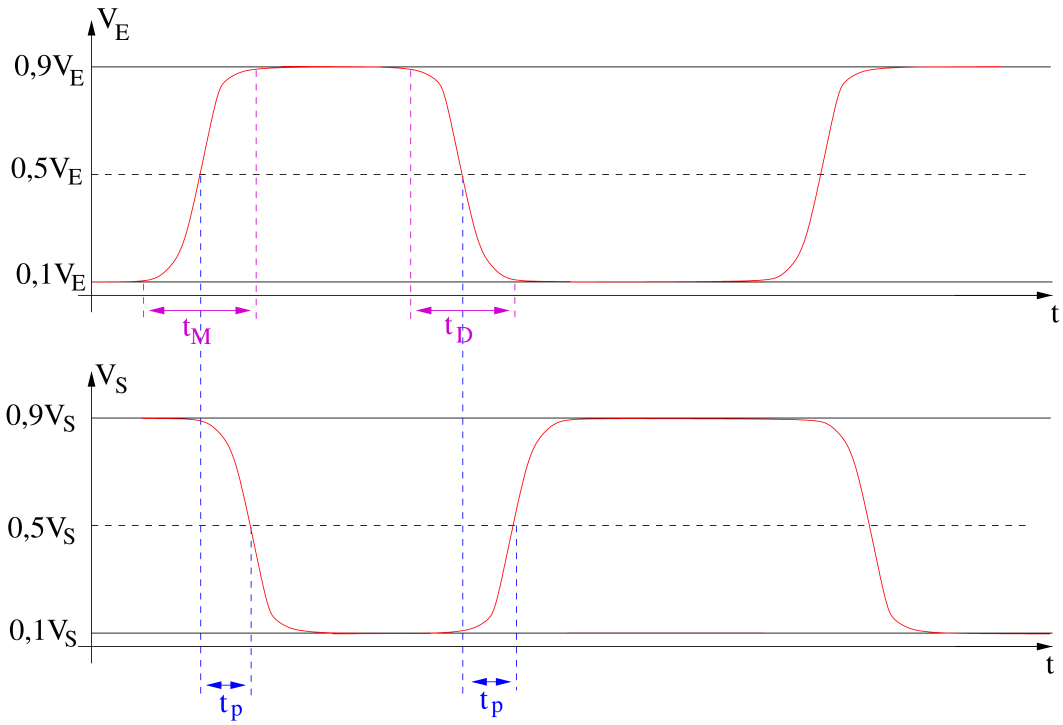
FAN in : C'est le nombre maximum de portes que l'on peut connecter en parallèle sur la sortie d'un circuit logique.

FAN out : C'est le nombre maximum de circuits que l'on peut connecter en parallèle sur l'entrée d'un circuit logique.

10.5 Puissance

La puissance dissipée est généralement nulle dans l'état "0" (état bas).

10.6 Temps de propagation, de montée, de descente



t_p est le *temps de propagation* du signal. t_M et t_D désignent respectivement les *temps de montée* et *de descente* du signal.

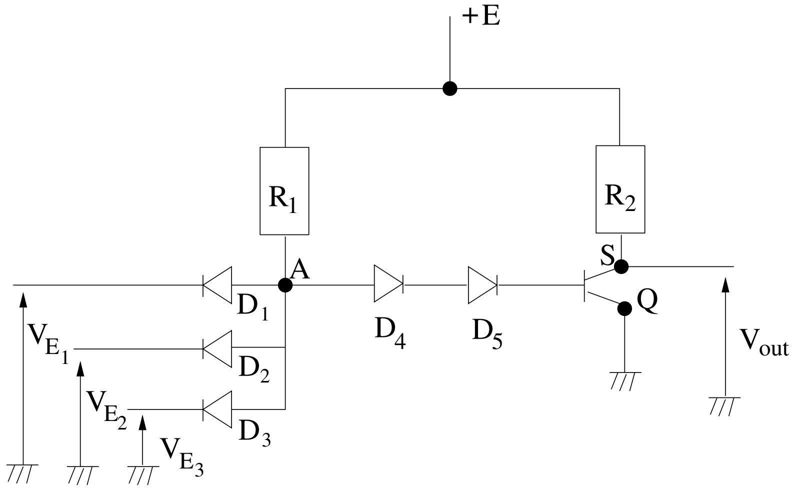
10.7 Différentes familles de circuits logiques

- TTL et dérivés
- logique et technologie CMOS
- logique ECF (technologie bipolaire)

10.7.1 Logique TTL

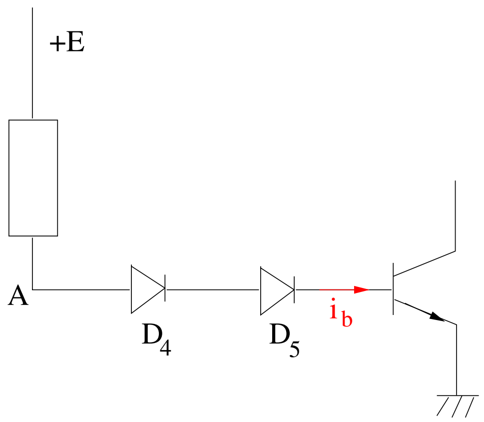
C'est une technologie bipolaire. Elle fonctionne en mode saturée.

Porte TTL NAND



Les tensions V_{E1}, V_{E2}, V_{E3} et V_{E4} sont au niveau haut (et ont pour valeur E).

Les trois diodes sont bloquées :



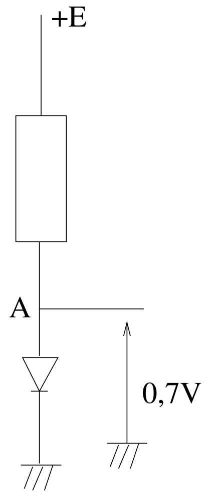
On a : $V_A \simeq 0,7 \times 3 \simeq 2,1V$ et $V_{D_4} + V_{D_5} + V_{BE} = 0$.

De plus : $i_b = \dfrac{E - 2,1}{R_1}$

On choisit donc R_1 de sorte que $I_b \gg \dfrac{I_c}{\beta}$[1]. Donc : $V_{out} =$ "0".

[1] En linéaire on rappelle que l'on a : $I_c = I_b.\beta$

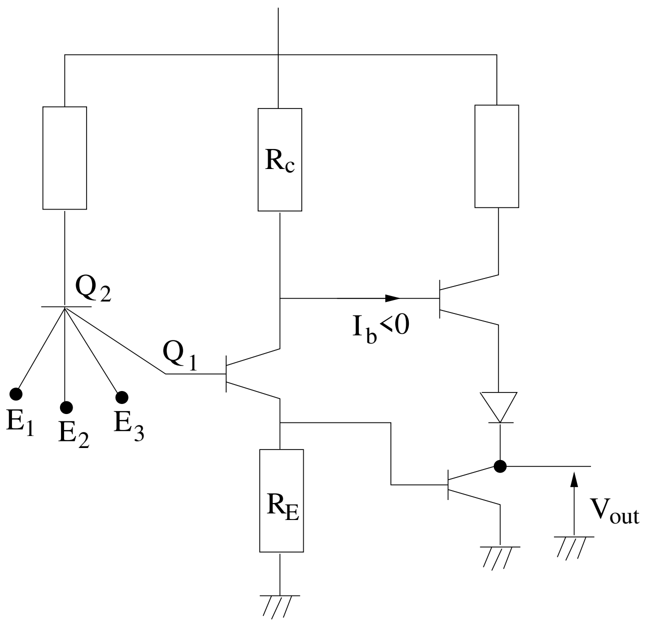
On suppose l'une des entrées au niveau "0"



Dans ce cas, les diodes D_4 et D_5 sont bloquées. On a donc :$I_b = 0$ et par conséquent $I_c = I_b.\beta = 0$.

On a : $V_{out} = E$

Schéma réel de la porte

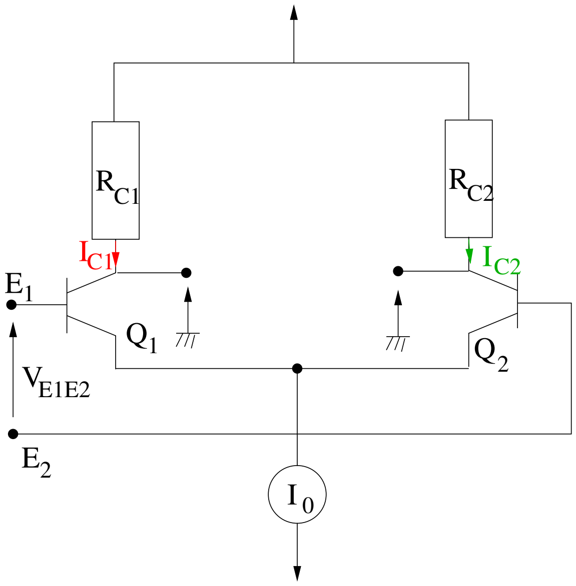


10.7.2 Logique ECL

C'est la technologie la plus rapide
– commutation de courant
– bloqué conducteur (la saturation n'est jamais atteinte)
Mises en entrées à partir de paire différentielle de transistors.

Porte ECL NOR/OR

Schéma de principe



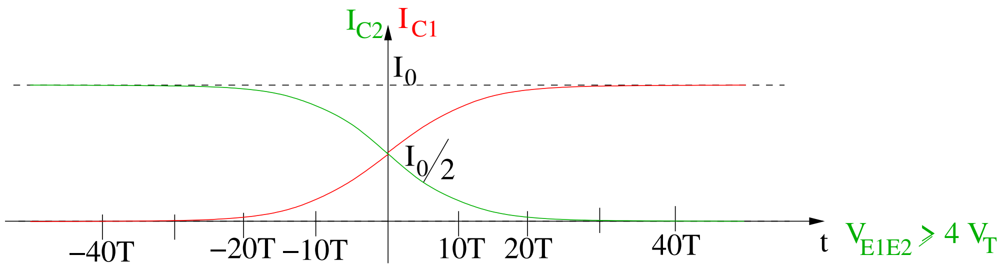
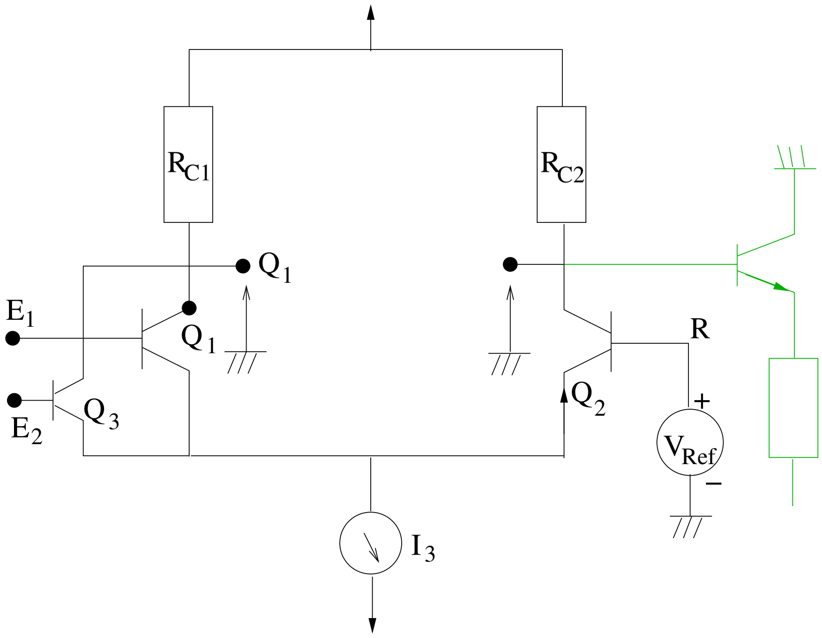


Schéma de la porte logique



La table de vérité de cette porte est la suivante :

V_{E_1}	V_{E_2}	V_{0_1}	V_{0_2}
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

Chapitre 11

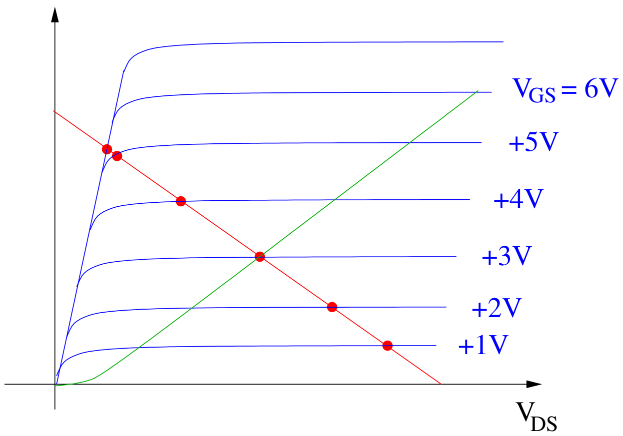
Fonction logique en technologie NMOS et CMOS

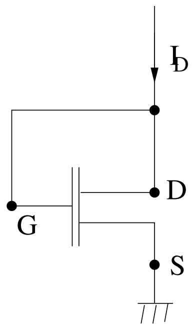
11.1 Fonction logique en technologie NMOS

Les transistors NMOS sont équivalents à des résistance ou des interrupteurs.

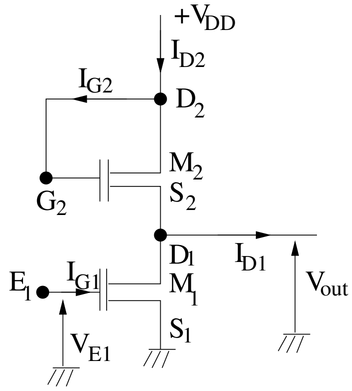
11.1.1 Inverseur NMOS

11.1.1.1 Utilisation de transistors NMOS en résistance





11.1.1.2 Fonctionnement de l'inverseur NMOS

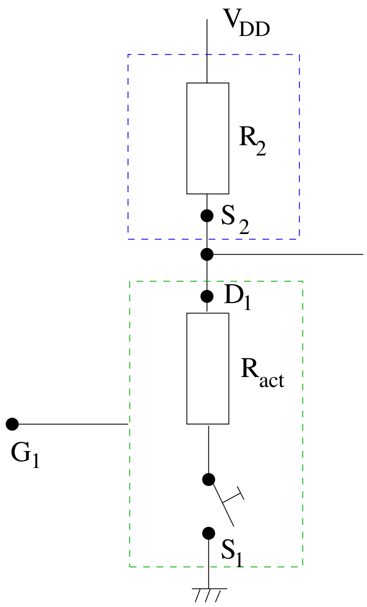


On a : $V_{out} = V_{D_1S_1} = D_{DD} - V_{D_2S_2}$, $I_{D_1} = I_{D_2}$ et $V_{in} = V_{G_1S_1}$.

Donc : $V_{D_1S_1} \equiv V_{out} = f(V_{G_1S_1} \equiv V_{in})$ et comme $V_{G_1S_1} = +5V$, on a : $V_{in} \equiv$ "1″ et $V_{D_1S_1} \simeq 0,4V \equiv$ "0″ $\equiv V_{out}$.

Si $V_{G_1S_1} \equiv$ "0″, on alors les résultats inverses. Ce qui permet de conclure que : $V_{out} = \overline{V_{in}}$.

11.1.1.3 Circuit électrique équivalent



Le schéma ci dessus correspond au cas où $V_{G_1S_1} \equiv$ "0″. Dans le cas où cette tension est à l'état haut, l'interrupteur est fermé.

11.1.2 Portes logiques **NMOS**

11.1.2.1 Porte **NOR**

Schéma électrique

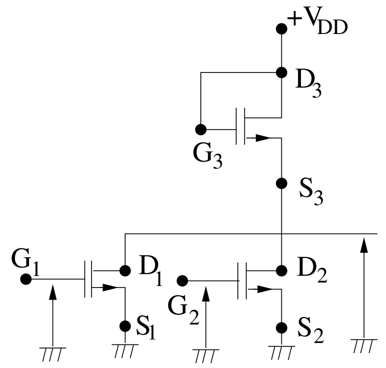
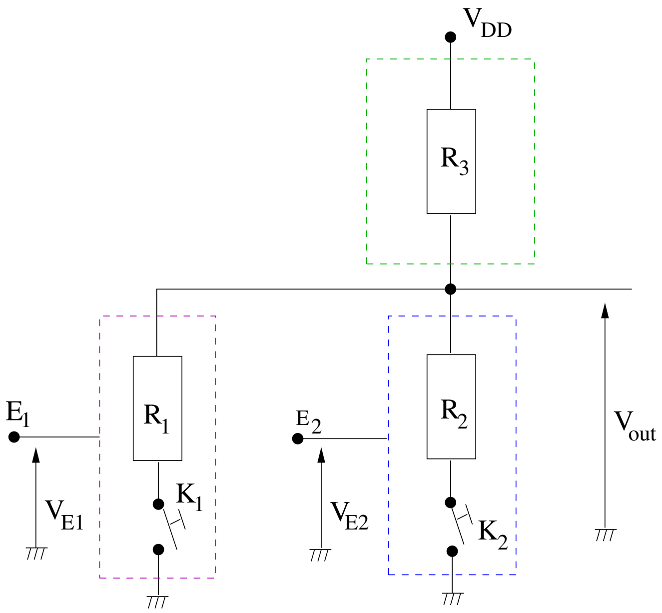


Schéma électrique équivalent



Les tensions V_{E_1} et V_{E_2} sont à l'état bas lorsque les interrupteurs K_1 et K_2 sont ouverts.

On obtient donc la table de vérité suivante :

E_1	E_2	V_{out}
0	0	1
0	1	0
1	0	0
1	1	1

11.1.2.2 Porte **NAND**

Schéma électrique

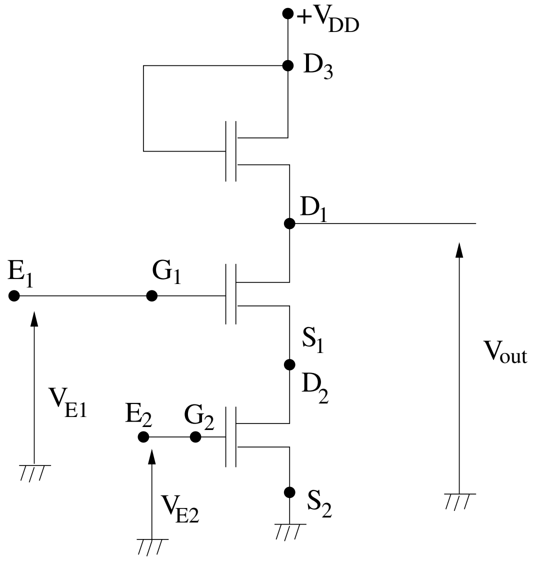
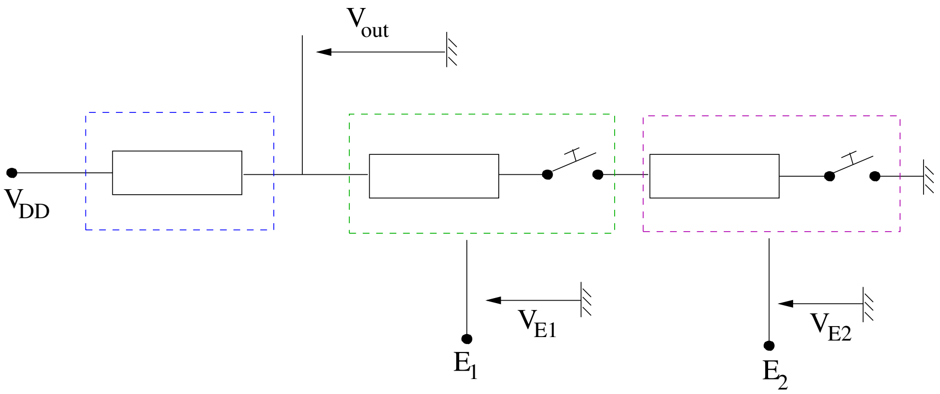


Schéma électrique équivalent



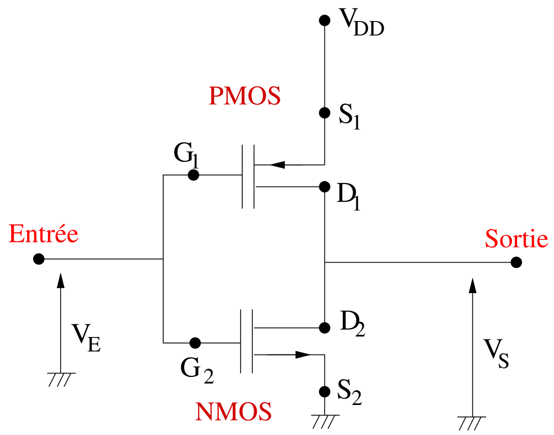
La table de vérité de cette porte est bien celle de la porte NAND car les interrupteurs sont fermés lorsque les entrées sont à l'état haut :

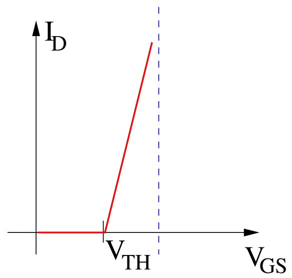
E_1	E_2	V_out
0	0	1
0	1	1
1	0	1
1	1	0

11.2 Fonction logique en technologie CMOS

11.2.1 Circuit inverseur CMOS

11.2.1.1 Schéma électrique



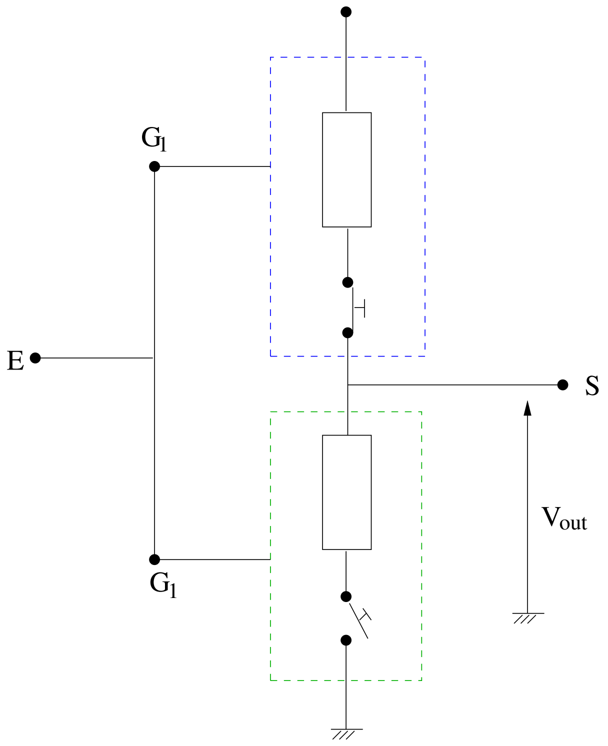


$V_E > V_{TH}$:
M_2 conduit le courant I_{M_2} et M_1 est bloqué. Donc V_S est à l'état bas.

On a de plus : $V_{G_2S_2} + V_E > V_{TH}$ et $V_{G_1S_1} = V_{G_1M} + V_{MS_1}$.

$V_E < V_{TH}$:
Les deux transistors sont des états inverses du cas précédents. On a alors : $V_{G_1S_1} = V_E - V_{DD}$ et $V_{G_1S_1} \geqslant V_{TH}$.

11.2.1.2 Schéma électrique équivalent



11.2.2 Portes logiques **CMOS**

11.2.2.1 Porte **NOR**

Schéma électrique

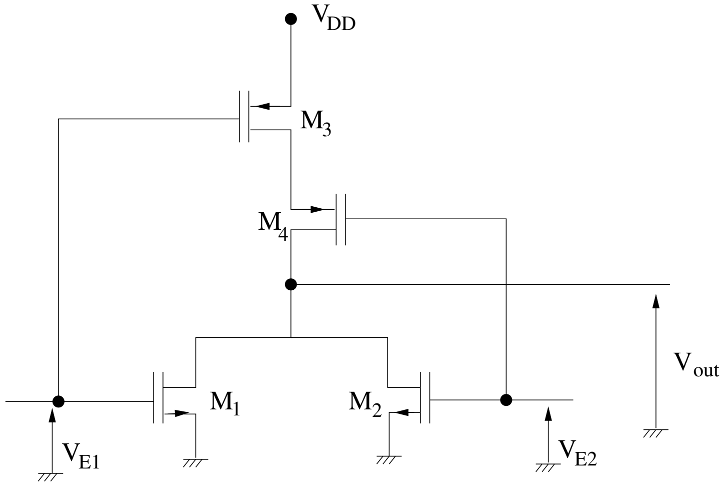


Schéma électrique équivalent

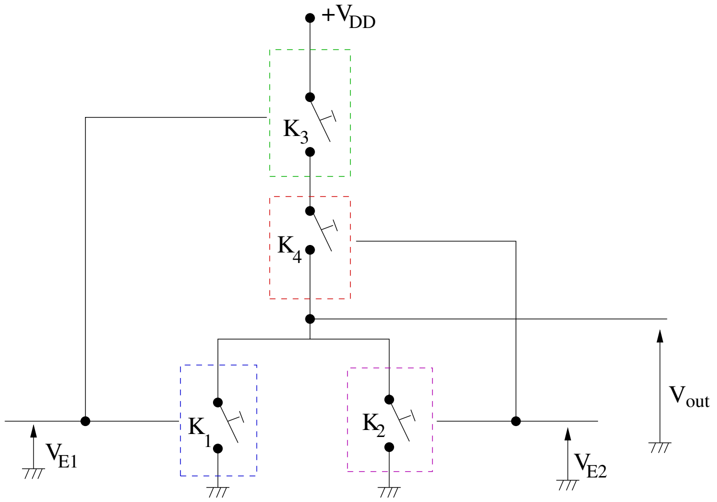


Table de vérité

V_{E_1}	V_{E_2}	V_{out}
0	0	1
0	1	0
1	0	0
1	1	1

11.2.2.2 Porte **NAND**

Schéma électrique