

**Examen d'Electronique – Partie Numérique**  
Avec documents

**Synthèse d'un circuit diviseur**

On demande de réaliser la synthèse d'un circuit synchrone effectuant l'opération suivante :  
Génération du reste de la division par 7 d'un nombre codé en binaire sur 8 bits. Le reste est codé sur 3 bits.

Le circuit possède 1 entrée série E, où sont introduits par le poids faible (LSB) les bits du mot sur lequel est effectuée l'opération ; 3 bits de sortie  $S_2S_1S_0$ , représentant le reste calculé S; une entrée d'horloge H ; une entrée d'initialisation asynchrone RESET.

A chaque front montant de l'horloge H, le bit présenté sur E est introduit dans le circuit qui effectue le calcul de reste sur le nouveau nombre : celui-ci est composé des 7 bits de poids faible de l'ancien nombre, décalés à gauche, et du nouveau bit introduit sur le poids faible.

Exemple:

A t, le reste est calculé sur le mot  $M_7M_6M_5M_4M_3M_2M_1M_0$ .

A t+1, le bit E est présenté sur l'entrée, le reste est calculé sur le mot  $M_6M_5M_4M_3M_2M_1M_0E$

A t+2, le bit E' est présenté sur l'entrée, le reste est calculé sur le mot  $M_5M_4M_3M_2M_1M_0E E'$

Etc....

Si le mot traité à un instant donné t est M, le mot traité à l'instant suivant (t+1) sera donc soit  $(2xM) - \text{modulo } 256$ , soit  $(2xM+1) - \text{modulo } 256$  - selon la valeur de E.

On donne les caractéristiques suivantes pour les valeurs de R à (t+1) en fonction des valeurs de R à t :

R à t (reste de M/7)	R à t+1 pour E=0 (reste de 2M/7)	R à t+1 pour E=1 (reste de 2M/7)
0	0	1
1	2	3
2	4	5
3	6	0
4	1	2
5	3	4
6	5	6

- 1) Dessiner le symbole du circuit en identifiant les entrées et les sorties.
- 2) On demande de synthétiser le circuit comme un séquenceur à base de bascules JK synchrones, suivi d'un bloc combinatoire de génération des sorties. Donner le schéma-bloc du circuit en identifiant les parties séquentielles et combinatoires, et en nommant les signaux d'entrée et de sortie de chaque bloc.
- 3) Synthèse du séquenceur : le séquenceur comprend 7 états, correspondant à chaque valeur du reste R. Dessiner le séquenceur, en numérotant les états de 0 à 6, et en faisant apparaître les conditions de passage d'un état à un autre selon la valeur de E.
- 4) Quel est l'effet de RESET sur votre séquenceur ? Le faire apparaître sur le schéma du séquenceur.
- 5) Sur combien de bits doit-on coder les états ? Proposer un codage qui permettra de simplifier le circuit.
- 6) Le séquenceur est synthétisé autour de 3 bascules JK. Donner les équations des entrées J et K de chacune des bascules.
- 7) Dessiner le schéma du circuit séquenceur.
- 8) Donner les équations des sorties S2S1S0 en fonction des bits de codage des états.
- 9) Dessiner le schéma du bloc combinatoire.
- 10) Aurait-on pu synthétiser le circuit autour d'autres types de bascules pour l'optimiser ? Justifiez.